

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2001年3月1日 (01.03.2001)

PCT

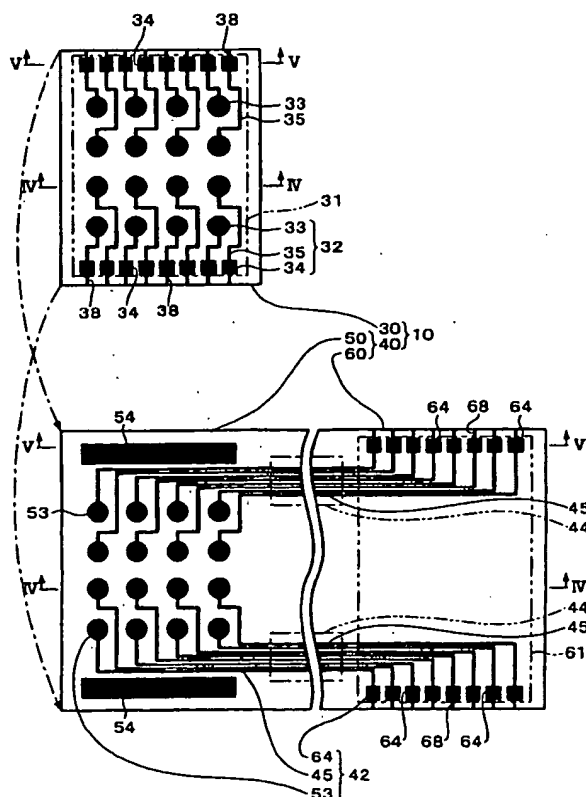
(10) 国際公開番号
WO 01/15231 A1

- (51) 国際特許分類⁷: H01L 25/04 (72) 発明者; および
(21) 国際出願番号: PCT/JP00/05394 (75) 発明者/出願人 (米国についてのみ): 橋元 伸晃
(22) 国際出願日: 2000年8月11日 (11.08.2000) (HASHIMOTO, Nobuaki) [JP/JP]; 〒392-8502 長野県
(25) 国際出願の言語: 日本語 諏訪市大和3丁目3番5号 セイコーエプソン株式会
(26) 国際公開の言語: 日本語 社内 Nagano (JP).
(30) 優先権データ: 特願平11/232566 1999年8月19日 (19.08.1999) JP (74) 代理人: 井上 一, 外 (INOUE, Hajime et al.); 〒167-
0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2
(81) 指定国 (国内): CN, JP, KR, US. 階 Tokyo (JP).
(71) 出願人 (米国を除く全ての指定国について): セイコー
エプソン株式会社 (SEIKO EPSON CORPORATION) 添付公開書類:
[JP/JP]; 〒163-0811 東京都新宿区西新宿2丁目4番1号 — 国際調査報告書
Tokyo (JP).

[続葉有]

(54) Title: WIRING BOARD, SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING SEMICONDUCTOR
DEVICE, CIRCUIT BOARD AND ELECTRONIC DEVICE

(54) 発明の名称: 配線基板、半導体装置及びその製造方法、回路基板並びに電子機器



(57) Abstract: A wiring board includes an upper board (30) having an upper wiring pattern (32) and a lower board (40) having a lower wiring pattern (42), and the upper board is attached to the lower board. The lower wiring pattern (42) includes a first lower land (53) formed in a central part of a first area (50) and connected with the upper wiring pattern (32); a second lower land (64) formed in a second area (60) and connected electrically with a second electronic element; and a plurality of lower connections (45) running outside the central part of the first area (50) to connect the first lower land (53) and the second lower land (64).

WO 01/15231 A1

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

配線基板は、上層配線パターン(32)が形成された上層基板(30)と、上層基板(30)が貼り付けられて下層配線パターン(42)が形成された下層基板(40)と、を含み、下層配線パターン(42)は、第1の領域(50)の中央部に形成されて上層配線パターン(32)と接続される下層第1ランド部(53)と、第2の領域(60)に形成されて第2の電子素子と電氣的に接続される下層第2ランド部(64)と、第1の領域(50)で中央部よりも外側を通過して下層第1ランド部(53)及び下層第2ランド部(64)を接続する複数の下層接続部(45)と、を含む。

明 細 書

配線基板、半導体装置及びその製造方法、回路基板並びに電子機器

〔技術分野〕

本発明は、配線基板、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

〔背景技術〕

インターポーザに複数の半導体チップを搭載して構成されたマルチチップモジュールが知られている。インターポーザには、配線パターンが形成されている。配線パターンは、半導体チップの複数の電極との接合用の複数のランドと、外部端子を設けるための複数のランドと、を含む。

インターポーザの、いずれか１つの半導体チップが搭載される領域に、外部端子を設けるためのランドが集中すると、その半導体チップの電極との接合用のランドの間を通して、配線パターンを形成しなければならなかった。

しかし、電子部品の実装の高密度化に伴い、ランド間に配線パターンを通すスペースがないことがあった。その場合、ランドを避けるために、遠回りして配線パターンを引き回さなければならなかった。

〔発明の開示〕

本発明は、この問題点を解決するものであり、その目的は、配線長が長くならない配線基板、半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

(１) 本発明に係る配線基板は、第１の電子素子の搭載領域を有して上層配線パターンが形成された上層基板と、

前記上層基板が貼り付けられた第１の領域と、第２の電子素子の搭載領域を含む第

2の領域と、下層配線パターンと、を含む下層基板と、

を含み、

前記下層配線パ

ターンは、前記第1の領域の中央部に形成されて前記上層配線パターンと電氣的に接続される複数の下層第1ランド部と、前記第2の領域に形成されて前記第2の電子素子と電氣的に接続される複数の下層第2ランド部と、前記第1の領域で前記中央部よりも外側を通して前記下層第1ランド部及び下層第2ランド部を接続する複数の下層接続部と、を含む。

本発明によれば、第1の電子素子に電氣的に接続される上層第2ランド部と、第2の電子素子に電氣的に接続される下層第2ランド部とが、別の基板に形成されているため、上層第2ランド部間を通して下層接続部を形成しなくてもよい。その結果、配線長が長くなることを避けられる。

しかも、本発明に係る配線基板は、上層基板及び下層基板を使用するので、ビルドアップ基板よりも安価に形成することができる。

また、下層接続部は、下層第1ランド部よりも外側を通るので、下層基板上のスペースを有効に活用して形成することができる。

(2) この配線基板において、

前記上層配線パターンは、前記上層基板の中央部に形成されて前記下層第1ランド部と電氣的に接続される複数の上層第1ランド部と、前記第1の電子素子と電氣的に接続される複数の上層第2ランド部と、前記上層第1ランド部及び上層第2ランド部を接続する上層接続部と、を含んでもよい。

これによれば、上層接続部は、上層第1ランド部及び上層第2ランド部を接続するだけなので、最短の経路で形成することができる。

(3) この配線基板において、

前記下層基板は矩形をなし、

前記第1の領域と前記第2の領域とは並んで配置され、

前記第1の領域の一对の互いに平行な端部のうち一方の端部と、前記第2の領域

の一对の互いに平行な端部のうちの一方の端部と、が前記下層基板の一对の互いに平行な辺のうちの一方の辺に沿って配置され、

前記第1の領域の前記一对の互いに平行な端部のうちの他方の端部と、前記第2の領域の前記一对の互いに平行な端部のうちの他方の端部と、が前記下層基板の前記一对の互いに平行な辺のうちの他方の辺に沿って配置されてもよい。

(4) この配線基板において、

前記下層第2ランド部は、前記第2の領域の前記一对の互いに平行な端部に形成されてなり、

前記上層第2ランド部は、前記下層基板における前記第1の領域の前記一对の互いに平行な端部の上方で、前記上層基板の一对の互いに平行な端部に形成されていてもよい。

これによれば、第2の電子素子と電氣的に接続される下層第2ランド部は、下層基板の第2の領域の端部に形成される。また、第1の電子素子と電氣的に接続される上層第2ランド部は、下層基板の第1の領域の端部の上方に形成される。そして、下層第2ランド部と上層第2ランド部は並んで形成される。

この配線基板に搭載される第1及び第2の電子素子は、平行な2辺の端部に複数の電極が形成されたものであり、電極を上層基板及び下層基板の端部上に配置して搭載される。

(5) この配線基板において、

前記上層第2ランド部及び下層第2ランド部は、同じ配列パターンで形成され、それぞれの配列パターンにおいて同じ位置に形成された1つの前記上層第2ランド部及び1つの下層第2ランド部は、同じ1つの上層第1ランド部及び下層第1ランド部に電氣的に接続されていてもよい。

これによれば、第1及び第2の電子素子として同じものを使用することができる。

(6) この配線基板において、

前記下層基板における前記第1の領域の前記一对の互いに平行な端部には、前記上層配線パターン及び下層配線パターンと電氣的に絶縁されたダミーパターンが、前記

下層配線パターンと同じ厚みで形成されていてもよい。

これによれば、上層基板の上層第2ランド部の下に、下層配線パターンがないときに、ダミーパターンによって上層基板を支持することができ、その平坦化を図ることができる。

(7) この配線基板において、

前記下層接続部の上には、少なくとも前記第1及び第2の領域にまたがる部分に絶縁膜が形成されていてもよい。

これによれば、下層接続部間の短絡を防止することができる。

(8) この配線基板において、

前記上層配線パターンは、前記上層基板の一方の面に形成され、

前記下層配線パターンは、前記下層基板の一方の面に形成され、

前記上層基板における前記上層配線パターンが形成された面とは反対側の面と、前記下層基板における前記下層配線パターンが形成された面と、が貼り付けられていてもよい。

これによれば、上層基板及び下層基板に形成された上層配線パターン及び下層配線パターンが同じ方向を向いて配置される。

(9) この配線基板において、

前記上層基板には、複数の貫通穴が形成されており、前記貫通穴を介して前記上層第1ランド部と前記下層第1ランド部とが電氣的に接続されていてもよい。

(10) この配線基板において、

前記上層第1ランド部は、前記貫通穴上に形成され、

前記貫通穴は、前記下層第1ランド部上に位置し、

前記貫通穴内に、前記上層第1ランド部及び下層第1ランド部に接触する導電材料が設けられていてもよい。

(11) この配線基板において、

前記下層基板には、前記下層第1ランド部と電氣的に接続されて前記下層配線パターンが形成された面とは反対側に突出する複数の外部端子を形成するための複数の

貫通穴が形成されていてもよい。

(12) この配線基板において、

前記下層接続部は、前記第2の領域で前記下層第2ランド部よりも中央側を通ってもよい。

これによれば、下層接続部は下層第2ランド部よりも中央側を通るので、下層接続部を下層基板の面積を大きくすることなく形成できる。

(13) この配線基板において、

前記下層基板には、前記第2の領域に、前記下層第2ランド部を前記下層配線パターンが形成された面とは反対側に電氣的に導通させる少なくとも1つの穴が形成されてもよい。

(14) この配線基板において、

前記穴は、スリットであり、

前記下層配線パターンの一部は、前記スリットをまたいで形成され、

前記下層第2ランド部は、前記スリット上に形成されてもよい。

これによれば、スリットを設けるだけで、下層基板の両面に下層第2ランド部を露出させることができる。これによって、下層基板の両面に、電子素子の搭載領域を設けることができる。

(15) 本発明に係る配線基板は、隣り合った複数の搭載領域のそれぞれに電子素子が搭載される配線基板であって、

端部に位置する1つの搭載領域に形成された、外部との接続用の複数の第1ランド部と、

各搭載領域に形成された、各電子素子と電氣的に接続される複数の第2ランド部と、隣同士の各搭載領域の前記第2ランド部同士を電氣的に接続する複数の接続部と、を含み、

前記接続部は、前記第1ランド部が形成された前記搭載領域と、その隣の前記搭載領域との間では、前記第2ランド部よりも外側に形成され、

前記接続部は、前記第1ランド部から奇数番目の前記搭載領域と、前記第1ランド

部から偶数番目の前記搭載領域との間では、前記第2ランド部よりも内側に形成されてなる。

本発明によれば、接続部は、隣同士の各搭載領域の第2ランド部同士を電氣的に接続するものである。また、第2ランド部よりも外側に形成される接続部と、第2ランド部よりも内側に形成される接続部とが、搭載領域ごとに交互に形成されている。したがって、第2ランド部間を接続部が通らないので、最短の経路で接続部を形成することができる。

また、接続部は、第1ランド部が形成された搭載領域と、その隣の搭載領域との間では、第2ランド部よりも外側に形成されているので、スペースを有効に活用して接続部を形成することができる。その結果、配線長が長くなることを避けられる。

しかも、本発明に係る配線基板は、ビルドアップ基板よりも安価に形成することができる。

(16) この配線基板において、

前記第1ランド部よりも外側に前記第2ランド部が形成されていてもよい。

(17) この配線基板において、

前記搭載領域は一方向に並び、

前記搭載領域の並ぶ方向に、前記第2ランド部が並んでいてもよい。

(18) この配線基板において、

それぞれの搭載領域で、前記第2ランド部は同じ配列パターンで形成され、

隣同士の搭載領域で、搭載領域間の境界を中心とした線対称の位置に形成された一対の第2ランド部同士が電氣的に接続されていてもよい。

これによれば、隣同士の搭載領域に、ミラー反転した構造を有する電子素子を搭載することができる。

(19) この配線基板において、

前記接続部の上には、少なくとも隣同士の前記搭載領域にまたがる部分に絶縁膜が形成されていてもよい。

これによれば、接続部間の短絡を防止することができる。

(20) 本発明に係る配線基板は、第1の領域と、前記第1の領域の隣に形成され

て電子素子の搭載領域を含む第 2 の領域と、配線パターンと、
を含み、

前記配線パターンは、前記第 1 の領域に形成された複数の第 1 ランド部と、前記第 2 の領域に形成されて前記電子素子と電氣的に接続される複数の第 2 ランド部と、前記第 2 の領域で前記第 2 ランド部よりも中央側を通して前記第 1 及び第 2 ランド部を接続する複数の接続部と、を含む。

本発明によれば、第 1 及び第 2 ランド部を接続する接続部が、第 2 の領域で第 2 ランド部よりも中央側を通るので、第 2 ランド部よりも外側に配線基板の面積を広げることを防ぐことができる。すなわち、スペースを有効に活用して接続部を形成することができる。その結果、配線長が長くなることを避けられる。

(21) この配線基板において、

矩形をなし、前記矩形の一对の平行辺は、前記第 1 及び第 2 の領域のそれぞれの一对の平行端部が連続して形成されてもよい。

(22) この配線基板において、

前記第 2 ランド部は、前記第 1 の領域と連続する前記第 2 の領域の前記一对の平行端部に形成されてもよい。

これによれば、電子素子と電氣的に接続される第 2 ランド部は、配線基板の第 2 の領域の端部に形成される。

この配線基板に搭載される電子素子は、平行な 2 辺の端部に複数の電極が形成されたものであり、電極を配線基板の端部上に配置して搭載される。

(23) この配線基板において、

前記第 1 の領域で、前記第 1 ランド部と電氣的に接続されて前記配線パターンが形成された面とは反対側に突出する外部端子を設けるための複数の貫通穴が形成されてもよい。

(24) この配線基板において、

前記接続部の上には、少なくとも前記第 1 及び第 2 の領域にまたがる部分に絶縁膜が形成されてもよい。

これによれば、接続部間の短絡を防止することができる。

(25) この配線基板において、

前記第2の領域に、第2ランド部を前記配線パターンが形成された面とは反対側に電氣的に導通させる少なくとも1つの穴が形成されてもよい。

(26) この配線基板において、

前記穴は、スリットであり、

前記配線パターンの一部は、前記スリットをまたいで形成され、

前記第2ランド部は、前記スリット上に形成されてもよい。

これによれば、スリットを設けるだけで、配線基板の両面に第2ランド部を露出させることができる。これによって、配線基板の両面に、電子素子の搭載領域を設けることができる。

(27) 本発明に係る半導体装置は、上記配線基板と、

前記上層基板の前記搭載領域に搭載された第1の半導体チップと、

前記下層基板の前記搭載領域に搭載された第2の半導体チップと、

を含む。

本発明によれば、第1の電子素子に電氣的に接続される上層第2ランド部と、第2の電子素子に電氣的に接続される下層第2ランド部とが、別の基板に形成されているため、上層第2ランド部間を通して下層接続部が形成されていない。その結果、配線長が長くなることが避けられている。

また、下層接続部は、下層第1ランド部よりも外側を通るので、下層基板上のスペースを有効に活用して形成されている。

(28) この半導体装置において、

前記下層基板で、前記第2の半導体チップが搭載された面とは反対側に、前記穴を介して前記下層第2ランド部と電氣的に接続して搭載されてなる第3の半導体チップをさらに含んでもよい。

これによれば、半導体チップは、下層基板の両面に搭載されるので、半導体装置の平面面積を有効に活用して、高密度の半導体装置を提供できる。

(29) この半導体装置において、

前記第2及び第3の半導体チップは、互いに、前記下層基板の境界面を中心としたミラー対称の回路構造を有してもよい。

これによれば、同一の素子に対して、同一の下層第2ランド部と電氣的な接続を最短距離で図ることができる。

(30) この半導体装置において、

前記下層基板が屈曲して、前記第1及び第2の半導体チップが積層されてもよい。

これによれば、半導体装置が小型化される。

(31) 本発明に係る半導体装置は、上記配線基板と、

それぞれの前記搭載領域に搭載された半導体チップと、

を含む。

本発明によれば、接続部は、隣同士の各搭載領域の第2ランド部同士を電氣的に接続するものである。また、第2ランド部よりも外側に形成される接続部と、第2ランド部よりも内側に形成される接続部と、が搭載領域ごとに交互に形成されている。したがって、第2ランド部間を接続部が通らないので、最短の経路で接続部が形成されている。

また、接続部は、第1ランド部が形成された搭載領域と、その隣の搭載領域との間では、第2ランド部よりも外側に形成されているので、スペースを有効に活用して接続部が形成されている。その結果、配線長が長くなることを避けられる。

(32) この半導体装置において、

前記配線基板が屈曲して、それぞれの前記搭載領域に搭載された前記半導体チップが積み重なった状態となってもよい。

これによれば、半導体装置が小型化される。

(33) 本発明に係る半導体装置は、上記配線基板と、

前記搭載領域に搭載された第1の半導体チップと、

を含む。

本発明によれば、第1及び第2ランド部を接続する接続部が、第2の領域で第2ランド部よりも中央側を通るので、第2ランド部よりも外側に配線基板の面積を広げることができる。すなわち、スペースを有効に活用して接続部を形成するこ

とができる。その結果、配線長が長くなることを避けられる。

(34) この半導体装置において、

前記配線基板の前記第1の半導体チップが搭載された面とは反対側に、前記穴を介して前記第2ランド部と電氣的に接続して搭載されてなる第2の半導体チップをさらに含んでもよい。

これによれば、半導体チップは、配線基板の両面に搭載されるので、半導体装置の平面面積を有効に活用して、高密度の半導体装置を提供できる。

(35) この半導体装置において、

前記第1及び第2の半導体チップは、互いに、前記配線基板の境界面を中心としたミラー対称の回路構造を有してもよい。

これによれば、同一の素子に対して、同一の第2ランド部と電氣的な接続を最短距離で図ることができる。

(36) この半導体装置において、

前記配線基板が屈曲して、前記搭載領域の内側に前記第1ランド部が配置されてもよい。

これによれば、第1ランド部は、搭載領域の内側に配置されるので、半導体チップとほぼ等しい大きさを有する半導体装置を提供できる。

(37) 本発明に係る回路基板には、上記半導体装置が搭載されている。

(38) 本発明に係る電子機器は、上記半導体装置を備える。

(39) 本発明に係る半導体装置の製造方法は、上記配線基板の、前記上層基板の前記搭載領域に第1の半導体チップを搭載し、前記下層基板の前記搭載領域に第2の半導体チップを搭載する工程を含む。

本発明によれば、第1の電子素子に電氣的に接続される上層第2ランド部と、第2の電子素子に電氣的に接続される下層第2ランド部とが、別の基板に形成されているため、上層第2ランド部間を通して下層接続部が形成されていない。その結果、配線長が長くなることが避けられている。

また、下層接続部は、下層第1ランド部よりも外側を通るので、下層基板上のスペ

ースを有効に活用して形成されている。

(40) この半導体装置の製造方法において、

前記下層基板で、前記第2の半導体チップが搭載された面とは反対側に、前記穴を介して前記下層第2ランド部と電氣的に接続させて、第3の半導体チップを搭載する工程をさらに含んでもよい。

これによれば、半導体チップを、下層基板の両面に搭載するので、半導体装置の平面面積を有効に活用して、高密度の半導体装置を製造できる。

(41) この半導体装置の製造方法において、

前記第2及び第3の半導体チップは、互いに、前記下層基板の境界面を中心としたミラー対称の回路構造を有してもよい。

これによれば、同一の素子に対して、同一の下層第2ランド部と電氣的な接続を最短距離で図ることができる。

(42) この半導体装置の製造方法において、

前記下層基板を屈曲させて、それぞれの半導体チップを積層してもよい。

こうすることで、半導体装置を小型化することができる。

(43) 本発明に係る半導体装置の製造方法は、上記配線基板の、それぞれの前記搭載領域に半導体チップを搭載する工程を含む。

本発明によれば、接続部は、隣同士の各搭載領域の第2ランド部同士を電氣的に接続するものである。また、第2ランド部よりも外側に形成される接続部と、第2ランド部よりも内側に形成される接続部と、が搭載領域ごとに交互に形成されている。したがって、第2ランド部間を接続部が通らないので、最短の経路で接続部が形成されている。

また、接続部は、第1ランド部が形成された搭載領域と、その隣の搭載領域との間では、第2ランド部よりも外側に形成されているので、スペースを有効に活用して接続部が形成されている。その結果、配線長が長くなることを避けられる。

(44) この半導体装置の製造方法において、

前記配線基板を屈曲させて、それぞれの前記搭載領域に搭載された前記半導体チップを積み重ねてもよい。

こうすることで、半導体装置を小型化することができる。

(45) 本発明に係る半導体装置の製造方法は、上記配線基板の前記搭載領域に第1の半導体チップを搭載する工程を含む。

本発明によれば、第1及び第2ランド部を接続する接続部が、第2の領域で第2ランド部よりも中央側を通るので、第2ランド部よりも外側に配線基板の面積を広げることが防ぐことができる。すなわち、スペースを有効に活用して接続部を形成することができる。その結果、配線長が長くなることを避けられる。

(46) この半導体装置の製造方法において、

前記配線基板の前記第1の半導体チップが搭載された面とは反対側に、前記穴を介して前記第2ランド部と電氣的に接続させて、第2の半導体チップを搭載する工程をさらに含んでもよい。

これによれば、半導体チップを、配線基板の両面に搭載するので、半導体装置の平面面積を有効に活用して、高密度の半導体装置を製造できる。

(47) この半導体装置の製造方法において、

前記第1及び第2の半導体チップは、互いに、前記配線基板の境界面を中心としたミラー対称の回路構造を有してもよい。

これによれば、同一の素子に対して、同一の下層第2ランド部と電氣的な接続を最短距離で図ることができる。

(48) この半導体装置の製造方法において、

前記配線基板を屈曲させて、前記搭載領域の内側に前記第1ランド部を配置する工程をさらに含んでもよい。

これによれば、第1ランド部は、搭載領域の内側に配置されるので、半導体チップとほぼ等しい大きさを有する半導体装置を製造できる。

[図面の簡単な説明]

図1は、本発明を適用した第1の実施の形態に係る半導体装置を示す図である。

図2は、本発明を適用した第1の実施の形態に係る半導体装置を示す図である。

図 3 は、本発明を適用した第 1 の実施の形態に係る配線基板を示す図である。

図 4 は、本発明を適用した第 1 の実施の形態に係る半導体装置の断面を示す図である。

図 5 は、本発明を適用した第 1 の実施の形態に係る半導体装置の断面を示す図である。

図 6 は、本発明を適用した第 1 の実施の形態の変形例に係る半導体装置を示す図である。

図 7 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法の第 1 例を示す図である。

図 8 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法の第 2 例を示す図である。

図 9 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法の第 3 例を示す図である。

図 10 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法の第 4 例を示す図である。

図 11 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法の第 5 例を示す図である。

図 12 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法の第 6 例を示す図である。

図 13 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法の第 7 例を示す図である。

図 14 は、本発明を適用した第 2 の実施の形態に係る配線基板を示す図である。

図 15 は、本発明を適用した第 2 の実施の形態に係る半導体装置を示す図である。

図 16 は、本発明を適用した第 3 の実施の形態に係る配線基板を示す図である。

図 17 は、本発明を適用した第 3 の実施の形態に係る半導体装置の断面を示す図である。

図 18 は、本発明を適用した第 3 の実施の形態に係る半導体装置の断面を示す図で

ある。

図 19 は、本発明を適用した第 3 の実施の形態に係る半導体装置を示す図である。

図 20 は、本発明に係る方法を適用して製造された半導体装置を備える電子機器を示す図である。

図 21 は、本発明に係る方法を適用して製造された半導体装置を備える電子機器を示す図である。

[発明を実施するための最良の形態]

以下、本発明の実施の形態を、図面を参照して説明する。

(第 1 の実施の形態)

図 1 は、本発明を適用した第 1 の実施の形態に係る半導体装置を示す図である。図 1 で、半導体装置 1 は、回路基板 2 に実装されている。回路基板 2 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 2 には例えば銅からなる配線パターン 3 が所望の回路となるように形成されていて、それらの配線パターン 3 と半導体装置 1 の外部端子 5 2 とを接続することでそれらの電氣的導通が図られている。

半導体装置 1 は、配線基板 10 と、複数の半導体チップ 20、22 と、を含む。配線基板 10 は、半導体装置 1 のインターポーザとして使用することができる。配線基板 10 は、上層基板 30 と下層基板 40 とを含む。上層基板 30 に第 1 の半導体チップ 20 が搭載され、下層基板 40 に第 2 の半導体チップ 22 が搭載されている。配線基板 10 のうち少なくとも下層基板 40 が屈曲することで、複数の半導体チップ 20、22 が積み重なった状態となっている。例えば、第 1 の半導体チップ 20 における上層基板 30 との接合面とは反対側の面と、第 2 の半導体チップ 22 における下層基板 40 との接合面とは反対側の面と、が接着剤 24 等で接着されている。

図 2 は、図 1 で屈曲して示された配線基板 10 を、平面的に拡げた状態を示す図である。配線基板 10 は、複数の基板が積層されてなる。図 2 に示す配線基板 10 は、下層基板 40 と上層基板 30 とが貼り付けられてなる。この貼り付けには、図 1 に示

すように、接着剤 12 を使用してもよい。図 2 では、上層基板 30 の全体が下層基板 40 の一部に貼り付けられている。すなわち、上層基板 30 の平面形状よりも下層基板 40 の平面形状が大きい。あるいは、上層基板 30 の一部が下層基板 40 の一部に貼り付けられてもよい。また、上層基板 30 の上あるいは下層基板 40 の下に、さらに少なくとも 1 つの基板が貼り付けられてもよい。

上層基板 30 及び下層基板 40 は、異なる材料から形成されてもよいが、同じ材料で形成されていてもよい。有機系の材料から形成された上層基板 30 及び下層基板 30、40 として、ポリイミド樹脂などからなるフレキシブル基板が挙げられる。フレキシブル基板として、TAB 技術で使用されるテープを使用してもよい。上層基板 30 及び下層基板 30 は、屈曲させるときには、フレキシブル基板であることが好ましい。上層基板 30 又は下層基板 40 は、無機系の材料から形成されてもよく、例えばセラミック基板やガラス基板が挙げられる。上層基板 30 又は下層基板 40 は、有機系及び無機系の複合構造からなるものであってもよく、例えばガラスエポキシ基板が挙げられる。また、上層基板 30 及び下層基板 40 は、異なる厚みであってもよいが、同じ厚みであってもよい。

図 3 は、図 2 で重ねられていた上層基板 30 及び下層基板 40 のそれぞれの平面構成を示す図である。上層基板 30 及び下層基板 40 の平面形状は特に限定されないが、矩形であることが多い。

上層基板 30 は、一方の面に、第 1 の電子素子（半導体チップ 20）の搭載領域 31 を有する。上層基板 30 には、上層配線パターン 32 が形成されている。上層基板 30 の一方の面に、上層配線パターン 32 が形成されている。

上層配線パターン 32 は、銅などの導電材料で形成することができる。上層配線パターン 32 が接着剤（図示せず）を介して上層基板 30 に貼り付けられて、3 層基板を構成してもよい。あるいは、上層配線パターン 32 を、接着剤なしで上層基板 30 に形成して 2 層基板を構成してもよい。

上層配線パターン 32 は、複数の上層第 1 ランド部 33 と、複数の上層第 2 ランド部 34 と、複数の上層接続部 35 と、を含む。

上層第1ランド部33は、上層基板30の中央部(端部を除く部分)に形成されている。上層第1ランド部33は、半導体チップ20の搭載領域31内に形成されていてもよい。上層基板30には、図4に示すように、複数の貫通穴36が形成されており、各貫通穴36上に上層第1ランド部33が形成されている。各貫通穴36には、銅やハンダなどの導電材料37が設けられている。導電材料37を介して、上層第1ランド部33は、下層基板40の下層配線パターン42と電氣的に接続される。詳しくは、貫通穴37は、下層基板40の下層配線パターン42の下層第1ランド部53上に形成されており、導電材料37を介して、上層第1ランド部33と下層第1ランド部53とが電氣的に接続されている。

下層第1ランド部53中に開口が形成されており、後述する外部端子52形成時に、例えば、外部端子52形成用のハンダクリーム、ハンダボール、導電ペーストなどで、上層第1ランド部33と下層第1ランド部53との接合を同時に図ってもよい。あるいは、貫通穴36内に、銅などの導電材料37がメッキされて上層基板30の両面の電氣的な接続が図られて、スルーホールが形成されてもよい。

上層第2ランド部34は、上層基板30の端部に形成されている。図3に示す例では、上層基板30の平行な2辺の端部に上層第2ランド部34が形成されている。あるいは、上層基板30の4辺の端部に上層第2ランド部34を形成してもよい。上層第2ランド部34は、第1の電子素子(半導体チップ20)との電氣的な接続に使用される。半導体チップ20がフェースダウンボンディングされるときには、上層第2ランド部34は、搭載領域31の内側に位置する。あるいは、半導体チップ20がフェースアップボンディングされるときには、上層第2ランド部34は、搭載領域31の外側に位置してもよい。

なお、上層第2ランド部34から外側に向けてメッキリード38が残っていてもよい。メッキリード38は、上層基板30よりも大きい基材に形成された上層配線パターン32に、一括して電解メッキを行うために、上層配線パターン32の電氣的に接続されない部分を接続するためのものである。電解メッキ後に基材が個片に打ち抜かれて上層基板30が得られると、上層基板30にはメッキリード38が部分的に残る。

メッキリード38の端面は、上層基板30の端面から露出する。もちろん、メッキリード38を廃し、無電解メッキを上層配線パターン32上に施しても良く、これは下層配線パターン42についても同様である。

上層接続部35は、少なくとも1つ（多くの場合1つのみ）の上層第1ランド部33と、少なくとも1つ（多くの場合1つのみ）の上層第2ランド部34とを電氣的に接続するものである。図3に示す例では、搭載領域31内に上層接続部35が形成されている。

下層基板40は、一方の面に、第1及び第2の領域50、60を有する。図3に示す例では、下層基板40が矩形をなしている。矩形を形成する4辺のうち、一对の平行辺が、第1及び第2の領域50、60の端部が連続することで形成されている。他の一对の平行辺の一方は、第1の領域50の端部で形成され、他方は、第2の領域60の端部で形成されている。

第1の領域50には、上層基板30が貼り付けられる。第2の領域60は、第2の電子素子（半導体チップ22）の搭載領域61を含む。下層基板40には、下層配線パターン42が形成されている。下層基板40の一方の面に、下層配線パターン42が形成されている。

下層配線パターン42は、銅などの導電材料で形成することができる。下層配線パターン42が接着剤（図示せず）を介して下層基板40に貼り付けられて、3層基板を構成してもよい。あるいは、下層配線パターン42を、接着剤なしで下層基板40に形成して2層基板を構成してもよい。

下層配線パターン42は、複数の下層第1ランド部53と、複数の下層第2ランド部64と、複数の下層接続部45と、を含む。

下層第1ランド部53は、下層基板40の第1の領域50の中央部（端部を除く部分）に形成されている。下層第1ランド部53は、上層基板30の上層第1ランド部33と電氣的に接続される。

下層基板40の第1の領域50には、図4に示すように、複数の貫通穴56が形成されており、各貫通穴56上に下層第1ランド部53が形成されている。各貫通穴5

6 には、外部端子 5 2 との電氣的な接続を図るために導電材料 5 7 が設けられている。あるいは、貫通穴 5 6 内に、銅などの導電材料 5 7 がメッキされて下層基板 4 0 の両面の電氣的な接続が図られて、スルーホールが形成されてもよい。

下層第 2 ランド部 6 4 は、下層基板 4 0 の第 2 の領域 6 0 の端部に形成されている。図 3 に示す例では、第 2 の領域 6 0 の、第 1 の領域 5 0 の一対の平行端部と連続して下層基板 4 0 の一対の平行辺を形成する一対の平行端部に、下層第 2 ランド部 6 4 が形成されている。

下層第 2 ランド部 6 4 は、第 2 の電子素子（半導体チップ 2 2）との電氣的な接続に使用される。半導体チップ 2 2 がフェースダウンボンディングされるときには、下層第 2 ランド部 6 4 は、搭載領域 6 1 の内側に位置する。あるいは、半導体チップ 2 2 がフェースアップボンディングされるときには、下層第 2 ランド部 6 4 は、搭載領域 6 1 の外側に位置してもよい。

なお、下層第 2 ランド部 6 4 から外側に向けてメッキリード 6 8 が残っていてもよい。メッキリード 6 8 は、下層基板 4 0 よりも大きい基材に形成された下層配線パターン 4 2 に、一括して電解メッキを行うために、下層配線パターン 4 2 の電氣的に接続されない部分を接続するためのものである。電解メッキ後に基材が個片に打ち抜かれて下層基板 4 0 が得られると、下層基板 4 0 にはメッキリード 6 8 が部分的に残る。

下層接続部 4 5 は、少なくとも 1 つ（多くの場合 1 つのみ）の下層第 1 ランド部 5 3 と、少なくとも 1 つ（多くの場合 1 つのみ）の下層第 2 ランド部 6 4 とを電氣的に接続するものである。

下層接続部 4 5 は、第 1 の領域 5 0 では、下層第 1 ランド部 5 3 よりも外側に引き出されて形成されている。すなわち、第 1 の領域 5 0 で、その中央部（端部を除く部分）に下層第 1 ランド部 5 3 が形成され、その中央部よりも外側（ただし端部よりも内側）に下層接続部 4 5 が形成されている。図 3 に示す例では、第 1 の領域 5 0 の、第 2 の領域 6 0 の一対の平行端部と連続する一対の平行端部と、下層第 1 ランド部 5 3 が形成される領域（中央部）と、の間を下層接続部 4 5 が通る。

下層接続部 4 5 は、第 2 の領域 6 0 では、下層第 2 ランド部 6 4 よりも中央側に形

成されている。すなわち、第2の領域60の、第1の領域50の一对の平行端部と連続する一对の平行端部よりも中央側に、下層第2ランド部64が形成されている。これによれば、下層接続部45は、下層第2ランド部64よりも中央側を通るので、下層接続部45を下層基板40の面積を大きくすることなく形成できる。

下層接続部45は、レジストなどの絶縁膜44で覆われていることが好ましい。例えば、第1及び第2の領域50、60にまたがって、下層接続部45上に絶縁膜44を設ける。特に、図1に示すように、下層基板40が屈曲するときには、少なくとも屈曲部分において、下層接続部45上を絶縁膜44が覆うことが好ましい。絶縁膜44は、ソルダレジスト材などで形成すれば良く、図1に示す領域よりも広く、下層第2ランド部64及び下層第1ランド部53を除く領域を覆っていてもよい。こうすることで、例えば導電性異物の付着による下層接続部45同士や配線パターン間のショートを防止することができる。

下層基板40の第1の領域50の、第2の領域60の一对の平行端部と連続する一对の平行端部には、ダミーパターン54を形成してもよい。ダミーパターン54が導電材料で形成されているときは、下層配線パターン42と電氣的に絶縁されていることが好ましい。あるいは、導電材料で形成されたダミーパターン54は、下層配線パターン42における非導通部分をショートさせない状態であれば、下層配線パターン42の一部と電氣的に接続されていてもよい。ダミーパターン54は、下層配線パターン42と同じ厚みで形成することが好ましい。こうすることで、ダミーパターン54の上面が、下層配線パターン42の上面とほぼ等しい高さとなる。その結果、下層基板40における第1の領域50との接着面が平坦化されるので、上層基板30を安定して貼り付けることができる。ダミーパターン54は、下層配線パターン42と同じ材料で形成してもよい。

また、上層基板30及び下層基板40を貼り付けた後に上層基板30上に半導体チップ20を実装して半導体装置を製造するときに、特に半導体チップ20の実装工程で、電極26の平坦性が確保されるので、高信頼性の実装を行うことができる。

図4及び図5は、下層基板40を平面的に展開した図2に示す半導体装置の断面図

である。図4において上層基板30及び下層基板40は、図3に示すIV-IV線断面で示されている。図5において上層基板30及び下層基板40は、図3に示すV-V線断面で示されている。

上層基板30における上層配線パターン32が形成された面とは反対側の面と、下層基板40における下層配線パターン42が形成された面とが、接着剤12等によって貼り付けられている。上層基板30は、下層基板40の第1の領域50に貼り付けられている。

上層配線パターン32の上層第1ランド部33と下層配線パターン42の下層第1ランド部53との間に、上層基板30が介在する。そこで、上層基板30に形成された貫通穴36に設けられた導電材料37によって、上層第1ランド部33と下層第1ランド部53との電気的な接続が図られている。その前提として、上層第1ランド部33と下層第1ランド部53とは、同じ配列パターンをなしていることが好ましい。

上層第2ランド部34は、下層基板40における第1の領域50に形成されたダミーパターン54の上方に位置する。ダミーパターン54が形成されている位置は、下層基板40における第1の領域50の端部であって、第2の領域60と連続する一対の平行端部である。

複数の上層第2ランド部34と、複数の下層第2ランド部64とは同じ配列パターンで形成されている。こうすることで、同じ電極配列の半導体チップ20、22を使用することができる。図3に示す例では、上層基板30の一対の平行端部のそれぞれに上層第2ランド部34が形成され、下層基板40の第2の領域60の一対の平行端部のそれぞれに下層第2ランド部64が形成されている。また、図3に示す例では、上層基板30の1つの端部に形成された上層第2ランド部34の数と、下層基板40の第2の領域60の1つの端部に形成された下層第2ランド部64の数が同じである。

本実施の形態では、いずれか1つの上層第1ランド部33と、いずれか1つの下層第1ランド部53と、が電気的に接続されている。電気的に接続されたいずれか1つの上層第1ランド部33及び下層第1ランド部53は、複数の上層第2ランド部34

及び複数の下層第2ランド部64のうち、同一の配列パターンの同じ位置の1つに電氣的に接続されている。

例えば図3に示す配列パターンでは、上層基板30の上側の左端に位置する上層第2ランド部34と、下層基板40の第2領域60の上側の左端に位置する下層第2ランド部64とは、いずれも最上段の左端の上層第1ランド部33及び下層第1ランド部53に電氣的に接続されている。

本実施の形態では、電氣的に接続された1つの上層第1ランド部33及び下層第1ランド部53に電氣的に接続された1つの上層第2ランド部34及び下層第2ランド部64が、同一の配列パターンにおいて同じ位置に形成されている。したがって、半導体チップ20、22が同一の内部構造を有しているときに、同一の素子に対して、同一の下層第1ランド部53（外部端子52）から電氣的な接続を図ることができる。例えば、半導体チップ20、22がメモリであるときに、同一の下層第1ランド部53（外部端子52）から、それぞれのメモリの同じアドレスのメモリセルに、情報の読み出し又は書き込みを行うことができる。複数の半導体チップ20と半導体チップ22とを、チップセレクト端子の接続においてのみ分離しておくことで、同一外部端子配列を用いて、複数（例えば2つ）の半導体チップを別々にコントロールすることができる。

半導体チップ20は、上層基板30に搭載されている。フェースダウンボンディングが適用されるときには、半導体チップ20は接着剤21等で上層基板30に接着されてもよい。半導体チップ20の複数の電極26と上層第2ランド部34とが電氣的に接続されている。電極26と上層第2ランド部34との電氣的な接続には、導電性部材を使用したり、超音波や熱などによって材料を拡散させる方法を適用することができる。導電性部材として、ハンダ、異方性導電膜、異方性導電接着剤、導電ペースト又は導電性接着剤等を使用することができる。接着剤21に導電粒子を分散させて異方性導電膜を構成してもよい。導電性部材を使用した電氣的な接続の態様として、ハンダ付け等のロウ付けを例に挙げるることができる。

半導体チップ22は、下層基板40に搭載されている。フェースダウンボンディン

グが適用されるときには、半導体チップ22は接着剤23等で下層基板40に接着されてもよい。半導体チップ22の複数の電極28と下層第2ランド部64とが電氣的に接続されている。電極28と下層第2ランド部64との電氣的な接続には、上述した電極26と上層第2ランド部34との電氣的な接続と同じ手段を適用してもよい。

また、半導体チップ22をフェースアップで下層基板40にダイアタッチし、ワイヤーボンディングで実装する形態を適用しても良い。半導体チップ20、22の実装形態には、フェースアップとフェースダウン双方を混ぜてもよい。

なお、半導体チップ22を下層基板40に接着する接着剤23と、上層基板30と下層基板40とを接着する接着剤12とは、同じ材料で下層基板40上に連続的に形成されていてもよい。

以上に示した例とは別に、本実施の形態の変形例として、図6に示すように、下層基板40における半導体チップ22（第2の半導体チップ）が搭載された面とは反対側に、さらに別の半導体チップ90（第3の半導体チップ）が搭載されてもよい。これによれば、下層基板40の両面に半導体チップ22、90が搭載されるので、半導体装置の平面面積を有効に活用して高密度の半導体装置を提供できる。半導体チップ90は、下層基板40を介して半導体チップ22と平面的に重なる位置に搭載される。半導体チップ90は、下層基板40における下層配線パターン42とは反対側の面に搭載されてもよい。

下層基板40には、第2の領域64に、1つ又は複数の穴（図示しない）が形成されてもよい。半導体チップ90は、下層基板40に形成された穴を介して、下層配線パターン42の下層第2ランド部64に電氣的に接続される。複数の穴は、それぞれの下層第2ランド部64の位置ごとに形成されてもよい。下層基板40の穴は、導電材料で埋められてもよく、穴の内面に導電材料が形成されてスルーホールを形成してもよい。

下層基板40に形成される穴は、スリット（図示しない）であってもよい。スリットは、細長く形成される。下層配線パターン42の一部がスリットを幅方向にまたいで形成されることで、下層第2ランド部64がスリット上に形成される。2つ以上の

下層第2ランド部64が、1つのスリットの上に形成されてもよい。例えば、第2の領域60の一对の平行端部に並ぶ下層第2ランド部64の下に、各端部ごとの一群の下層第2ランド部64を一括して開口するスリットが形成されてもよい。これによれば、スリットを設けるだけで、下層第2ランド部64を下層基板40の両面の側に露出させることができる。

半導体チップ22、90（第2及び第3の半導体チップ）は、互いに、下層基板40の境界面を中心としたミラー対称の回路構造を有してもよい。これによれば、同一素子に対して、同一の下層第2ランド部64と電気的な接続を最短距離で図ることができる。例えば、半導体チップ22、90がメモリであるときに、同一の下層第2ランド部64を介して、それぞれのメモリの同じアドレスのメモリセルに、情報の読み出し又は書き込みを行うことができる。また、半導体チップ22、90を、チップセレクト端子の接続においてのみ分離しておくことで、同一外部端子配列を用いて、複数（例えば2つ）の半導体チップ22、90を別々にコントロールしてもよい。

なお、半導体チップ90における下層基板40への搭載形態は、半導体チップ22における下層基板40に対する搭載の形態と同じであってもよい。また、本変形例は、後述する実施の形態において説明する穴（スリット182）の形態の内容を可能な限り含む。

本実施の形態によれば、上層基板30に半導体チップ20が搭載される。したがって、他の半導体チップ22と外部端子52とを電気的に接続する下層接続部45を、上層第2ランド部34を避けて形成する必要がなく、最短の経路で形成することができる。また、下層接続部45は、下層第1ランド部53の外側を通るので、スペースを有効に活用することができる。また、下層接続部45は、下層第1ランド部53からその外側に引き出す部分だけが、下層第1ランド部53間を通る。したがって、下層接続部45のうち、下層第1ランド部53を避けるために遠回りする部分を最小限に抑えることができる。以上のことから、本実施の形態では、配線長を短くすることができ、半導体装置の電気的特性が著しく向上する。

（半導体装置の製造方法）

本実施の形態は上記のように構成されており、上述した配線基板 10 を使用して半導体装置を製造する方法は、配線基板 10 の上層基板 30 に半導体チップ 20 を搭載し、配線基板の下層基板 40 に半導体チップ 22 を搭載する工程を含む。また、下層基板 40 における半導体チップ 22 とは反対側に、さらに、半導体チップ 90 を搭載してもよい。半導体チップ 90 は、下層基板 40 に形成した穴（例えばスリット）を介して、下層配線パターン 42 と電氣的に接続する。また、少なくとも下層基板 40 を屈曲させてもよく、それぞれの半導体チップ 20、22、90 を積層させてもよい。

（配線基板の製造方法）

図 7～図 13 は、本実施の形態に係る配線基板の製造方法を示す図である。

（第 1 例）

図 7 は、本発明を適用した実施の形態に係る配線基板の製造方法の第 1 例を示す図である。この例では、上層基板 30 及び下層基板 40 を用意する。上層基板 30 及び下層基板 40 は、フレキシブル基板を打ち抜いて形成することができる。フレキシブル基板は、テープ状をなすものであってもよい。予めフレキシブル基板に、上層又は下層配線パターン 32、42 や、貫通穴 36、56 など形成しておいてから、これを打ち抜いてもよい。

フレキシブル基板を打ち抜いて下層基板 40 を形成する場合には、フレキシブル基板に上層基板 30 を貼り付けてから、これを打ち抜いてもよい。

そして、上層基板 30 の少なくとも一部を下層基板 40 の第 1 の領域 50 に貼り付ける貼付工程と、上層及び下層配線パターン 32、42 を電氣的に接続する接続工程と、を行う。

貼付工程の前に、あるいは貼付工程の一部として、上層及び下層基板 30、40 の位置合わせを行うことが好ましい。例えば、図 7 に示すように、上層及び下層基板 30、40 に、位置合わせされたときに連通する位置決め用の穴 70、72 を形成しておき、ピンなどの治具 74 を挿通して位置合わせしてもよい。

貼付工程によって、電氣的な接続工程の一部が行われてもよい。例えば、貼付工程の前に、上層基板 30 に形成された貫通穴 36 内に導電材料 37 を設ける。導電材料

37として、ハンダ、高温ハンダ、クリームハンダ等を使用することができる。そして、貼付工程で上層及び下層基板30、40を貼り付けるときに、導電材料37を下層第1ランド部53に接触させることで、接続工程の少なくとも一部を行ってもよい。

導電材料37が軟性のものであれば、上層基板30の表面又は接着剤12が設けられているときにはその表面からあふれる程度に、貫通穴36内に導電材料37を設けておく。こうすることで、貼付工程によって、上層及び下層第1ランド部33、53を電氣的に接続することができる。

導電材料37が常温では硬化しているものであれば、貼付工程後に、導電材料37を加熱して溶融させて、上層及び下層第1ランド部33、53を電氣的に接続する。加熱は、外部端子52を形成するときや、半導体装置を回路基板に実装するときなどで行われるリフロー工程で行ってもよい。

(第2例)

図8は、本発明を適用した実施の形態に係る配線基板の製造方法の第2例を示す図である。この例では、凸型72を使用して上層第1ランド部33の一部を貫通穴36に入り込ませる。こうして、上層第1ランド部33を屈曲させて、上層及び下層第1ランド部33、53を電氣的に接続することができる。

この時、凸型72を使用して、加熱及び加圧または超音波印加及び加圧することによって、容易に上層及び下層第1ランド部33、53の電氣的な接続を達成することができる。これらは、後述する第3例～第6例にも共通して適用される。

(第3例)

図9は、本発明を適用した実施の形態に係る配線基板の製造方法の第3例を示す図である。この例は、下層基板40の貫通穴56の位置を除いて第2例と同じである。図9に示すように、下層基板40の貫通穴56の位置は、上層基板30の貫通穴36の位置とずれていてもよい。

(第4例)

図10は、本発明を適用した実施の形態に係る配線基板の製造方法の第4例を示す図である。この例では、凸型72を使用して下層配線パターン42の一部を、上層基

板 3 0 の貫通穴 3 6 に入り込ませる。この工程を行うには、下層基板 4 0 の貫通穴 5 6 と、上層基板 3 0 の貫通穴 3 6 と、が連通する位置に形成されていることが好ましい。

こうして、下層第 1 ランド部 5 3 が屈曲して、上層及び下層第 1 ランド部 3 3、5 3 を電氣的に接続することができる。

(第 5 例)

図 1 1 は、本発明を適用した実施の形態に係る配線基板の製造方法の第 5 例を示す図である。この例では、図 8 に示す凸型 7 2 を使用して上層第 1 ランド部 3 3 の一部を貫通穴 3 6 に入り込ませ、さらに、下層第 1 ランド部 5 3 を貫通穴 5 6 に入り込ませればよい。こうして、上層第 1 ランド部 3 3 及び下層第 1 ランド部 5 3 で、外部端子を形成することができる。外部端子を、下層基板 4 0 から突出させたいときは、下層第 1 ランド部 5 3 の一部を下層基板 4 0 から突出させる。

(第 6 例)

図 1 2 は、本発明を適用した実施の形態に係る配線基板の製造方法の第 6 例を示す図である。この例では、上層及び下層基板 3 0、4 0 の貼付工程で異方性導電膜 7 8 を使用する。すなわち、上層及び下層基板 3 0、4 0 の間に、異方性導電膜 7 8 を介在させて両者を接着する。なお、異方性導電膜 7 8 は、予めテープ状又はシート状をなす異方性導電材料であってもよいし、上層及び下層基板 3 0、4 0 の少なくとも一方に塗られている液状の異方性導電材料であってもよい。異方性導電材料は、接着剤に導電粒子が分散されてなる。なお、上層基板 3 0 における上層配線パターン 3 2 が形成された面とは反対側の面が、下層基板 4 0 における下層配線パターン 4 2 が形成された面に貼り付けられている。

(第 6 例を適用した半導体装置の製造方法)

異方性導電膜 7 2 が、下層基板 4 0 における下層配線パターン 4 2 が形成された面上に設けられているときには、異方性導電膜 7 2 を介して半導体チップ 2 2 を、下層基板 4 0 にフェースダウンボンディングしてもよい。この場合、半導体チップ 2 2 を搭載するための搭載領域 6 1 と、下層基板 4 0 における上層基板 3 0 を貼り付ける第

1の領域50と、の両方に異方性導電膜78を設けることが好ましい。そして、上層及び下層基板30、40の貼付工程と、半導体チップ22の搭載工程と、の両方を同時に行ってもよいし、一方を行ってから他方を行ってもよい。

これによれば、上層及び下層基板30、40を接着する材料と、半導体チップ22を下層基板40に接着するとともに電氣的に接続する材料と、が一つの材料である。したがって、部品点数を減らすことができる。

図12に示す例では、上層及び下層基板30、40の貼付工程の後に、半導体チップ22のための搭載工程と、上層及び下層第1ランド部33、53の電氣的な接続工程と、を行う。詳しくは、図12において、上層及び下層基板30、40の間には、異方性導電膜78が介在しており、異方性導電膜78は、下層基板40における半導体チップ22の搭載領域61上にも設けられている。

半導体チップ22と下層基板40とが、押圧治具80により加圧されて、半導体チップ22は、下層基板40にフェースダウンボンディングされる。すなわち、半導体チップ22のための搭載工程が行われる。

また、凸型76を使用して、図8に示す工程と同じ工程によって、上層及び下層第1ランド部33、53を電氣的に接続する。すなわち、接続工程を行う。さらに、凸型76を使用して図11に示す工程と同じ工程によって、外部端子を形成してもよい。本実施の形態では、上層及び下層第1ランド部33、53の間に異方性導電膜78が介在するので、上層及び下層第1ランド部33、53は、導電粒子によって電氣的に接続されてもよい。

(第7例)

図13は、本発明を適用した実施の形態に係る配線基板の製造方法の第7例を示す図である。この例では、上述した構成の上層及び下層基板30、40を貼り付け、連通する貫通穴36、56内に導電材料82を設ける。導電材料82としては、ハンダ、ハンダクリーム、ロウ材、導電ペーストなどがある。そして、この導電材料82を加熱し熔融させて、あるいは、この導電材料82にハンダボールなどの端子部材を設けて、外部端子84を形成する。

こうして得られた配線基板を使用して半導体装置を製造してもよい。半導体装置の製造工程の一部として、本実施の形態を適用してもよい。

(第2の実施の形態)

図14は、本発明を適用した第2の実施の形態に係る配線基板を示す図である。配線基板100は、複数の半導体チップ等の電子素子を搭載するための複数の搭載領域110を有する。搭載領域110は、一方向に並んでいる。例えば、配線基板100が矩形をなし、矩形の一对の平行辺に沿って、複数の搭載領域110が並んでいる。

配線基板100の端部に位置する1つの搭載領域111には、外部との電気的な接続用の複数の第1ランド部120が形成されている。なお、第1ランド部120の下には、図示しない貫通穴が形成されており、この貫通穴を介して外部端子を設けることができる。その詳細は、第1の実施の形態で説明した内容と同じである。

それぞれの搭載領域110には、半導体チップ等の電子素子と電気的に接続される複数の第2ランド部130が形成されている。半導体チップの基板への実装構造及び方法も、第1の実施の形態で説明した内容を適用することができる。第2ランド部130は、複数の搭載領域110の並ぶ方向に並んでいる。例えば、配線基板100が矩形をなし、一对の平行辺の一方に近い位置で一列に第2ランド部130が形成され、一对の平行辺の他方に近い位置でも、一列に第2ランド部130が形成されている。

第1ランド部120が形成された搭載領域111では、第1ランド部120よりも外側に第2ランド部131が形成されている。また、第1ランド部120が形成された搭載領域111では、少なくとも1つの(多くの場合1つのみの)第1ランド部120と、少なくとも1つの(多くの場合1つのみの)第2ランド部131と、が電気的に接続されている。

配線基板100には、隣同士の搭載領域110に形成された第2ランド部130同士を電気的に接続するための複数の接続部140が形成されている。第1ランド部120が形成された搭載領域111と、その隣の搭載領域112との間では、接続部141は、第2ランド部130よりも外側に形成されている。第1ランド部120が形成された搭載領域111から奇数番目の搭載領域112と、偶数番目の搭載領域と1

13の間では、接続部142は、第2ランド部130よりも内側に形成されている。

これとは逆に、搭載領域111とその隣の搭載領域112との間で、接続部141は第2ランド部130よりも内側に、搭載領域112とその隣の搭載領域113との間で、接続部142は第2ランド部130よりも外側に形成されるようにしてもよい。こうすることによって、半導体チップの搭載数が2のとき、配線基板100の外形を最小にすることができる。

なお、接続部140の上には、少なくとも隣同士の搭載領域にまたがる部分に図示しない絶縁膜が形成されていることが好ましい。この点は、第1の実施の形態で説明したのと同じである。

それぞれの搭載領域110で、複数の第2ランド部130は同じ配列パターンで形成されている。例えば、2列で複数の第2ランド部130が形成されている。そして、隣同士の搭載領域110で、搭載領域110間の境界を中心とした線対称の位置に形成された一対の第2ランド部130同士が、接続部140で接続されている。例えば、図14で、端部の搭載領域111の図において上側左端に位置する第2ランド部131と、その隣の搭載領域112の図において上側右端に位置する第2ランド部132と、が接続部140で接続されている。

本実施の形態によれば、第1及び第2ランド部120、130と接続部140とを含む配線パターンを、上述した形状にしたので配線長を短くすることができる。すなわち、第2ランド部130間を接続部140が通らないので、最短の経路で接続部140を形成することができる。接続部140は、第1ランド部120が形成された搭載領域111と、その隣の搭載領域112との間では、第2ランド部131、132よりも外側に形成されているので、スペースを有効に活用して接続部141を形成することができる。その結果、配線長が長くなることを避けられる。

図15は、本発明を適用した第2の実施の形態に係る半導体装置を示す図である。この半導体装置は、上述した配線基板100と、各搭載領域110に搭載された半導体チップ150と、外部端子152と、を含む。配線基板100は屈曲して複数の半導体チップ150が積み重なった状態となっている。

上述した配線基板100では、それぞれの搭載領域110で第2ランド部130が同じ配列パターンで形成されているので、同じ電極パターンの複数の半導体チップ150を使用することができる。ただし、隣同士の搭載領域110では、搭載領域110間の境界を中心とした線対称の位置に形成された一对の第2ランド部130同士が接続されている。したがって、隣同士の搭載領域110では、ミラー対称の構造を有する半導体チップ（ミラーIC）150を使用することが好ましい。こうすることにより、例えば半導体チップ150がメモリであるときには、同じアドレスのメモリセル同士を接続部140で接続することができる。

本実施の形態に係る半導体装置の製造方法では、上述した配線基板100のそれぞれの搭載領域110に半導体チップ150を搭載する工程を含み、さらに、配線基板100を屈曲させてそれぞれの搭載領域110に搭載された半導体チップ150を積み重ねる工程を含んでもよい。

本実施の形態に関しては、第1の実施の形態で説明した内容が、可能な限り適用される。

（第3の実施の形態）

図16は、本発明を適用した第3の実施の形態に係る配線基板の平面構成を示す図である。図17は、図16に示すXVII-XVII線断面において、配線基板に半導体チップ190、200が搭載された図である。図18は、図16に示すXVIII-XVIII線断面において、配線基板に半導体チップ190、200が搭載された図である。

配線基板160は、第1及び第2の領域170、180と、配線パターン162と、を含む。配線基板160は、電子素子（第1の半導体チップ190）の搭載領域181を有する。搭載領域181は、第2の領域180に形成される。第1及び第2の領域170、180は、配線基板160の一方の面に形成される。第1の領域170は、第2の領域180の隣に形成されている。配線基板160の材料は、上述の実施の形態で説明した内容を適用できる。

配線基板160の平面形状は特に限定されないが、図16に示す例のように矩形をなすことが多い。配線基板160は、矩形を形成する4辺のうち、一对の平行辺が、

第1及び第2の領域170、180の端部が連続することで形成されている。他の一対の平行辺の一方は、第1の領域170の端部で形成され、他方は、第2の領域180の端部で形成されている。

配線基板160には、配線パターン162が形成されている。配線パターン162は、配線基板160の一方の面に形成されている。配線パターン162は、銅などの導電材料で形成することができる。配線パターン162が接着剤（図示せず）を介して配線基板1600に貼り付けられて、3層基板を構成してもよい。あるいは、配線パターン162を、接着剤なしで配線基板160に形成して2層基板を構成してもよい。

配線パターン162は、複数の第1ランド部173と、複数の第2ランド部184と、複数の接続部165と、を含む。

第1ランド部173は、配線基板160の第1の領域170に形成される。第1ランド部173は、第1の領域170の中央部（端部を除く部分）に形成されてもよい。

配線基板160の第1の領域170には、図17に示すように、複数の貫通穴176が形成されており、各貫通穴176上に第1ランド部173が形成されている。各貫通穴176には、外部端子172との電気的な接続を図るために導電材料177が設けられている。あるいは、貫通穴176内に、銅などの導電材料177がメッキされて配線基板160の両面の電気的な接続が図られて、スルーホールが形成されてもよい。

第2ランド部184は、配線基板160の第2の領域180の端部に形成されている。図16に示す例では、第2の領域180の、第1の領域170の一対の平行端部と連続して配線基板160の一対の平行辺を形成する一対の平行端部に、第2ランド部184が形成されている。

第2ランド部184は、電子素子（半導体チップ190）との電気的な接続に使用される。半導体チップ190がフェースダウンボンディングされるときには、第2ランド部184は、搭載領域181の内側に位置する。あるいは、半導体チップ190がフェースアップボンディングされるときには、第2ランド部184は、搭載領域1

８１の外側に位置してもよい。

なお、第２ランド部１８４から外側に向けてメッキリード１８８が残っていてもよい。メッキリード１８８は、配線基板１６０よりも大きい基材に形成された配線パターン１６２に、一括して電解メッキを行うために、配線パターン１６２の電氣的に接続されない部分を接続するためのものである。電解メッキ後に基材が個片に打ち抜かれて配線基板１６０が得られると、配線基板１６０にはメッキリード１８８が部分的に残る。あるいは、メッキリード１８８を廃し、無電解メッキを配線パターン１６２上に施してもよい。

配線パターン１６０の接続部１６５は、少なくとも１つ（多くの場合１つのみ）の第１ランド部１７３と、少なくとも１つ（多くの場合１つのみ）の第２ランド部１８４とを電氣的に接続するものである。

図１６に示す例では、接続部１６５は、第１の領域１７０では、第１ランド部１７３よりも外側に引き出されて形成されている。すなわち、第１の領域１７０で、その中央部（端部を除く部分）に第１ランド部１７３が形成され、その中央部よりも外側（ただし端部よりも内側）に接続部１６５が形成されている。例えば、第１の領域１７０の、第２の領域１８０の一对の平行端部と連続する一对の平行端部と、第１ランド部１７３が形成される領域（中央部）と、の間を接続部１６５が通る。

接続部１６５は、第２の領域１８０では、第２ランド部１８４よりも中央側に形成されている。すなわち、第２の領域１８０の、第１の領域１７０の一对の平行端部と連続する一对の平行端部よりも中央側に、第２ランド部１８４が形成されている。

これによれば、接続部１６５は、第２ランド部１８４よりも中央側を通るので、接続部１６５を配線基板１６０の面積を大きくすることなく形成できる。特に、第１ランド部１７３を第１の領域１７０の中央部に形成した場合には、最短経路で接続部１６５を引き廻せる。詳しくは、第１及び第２の領域１７０、１８０の並ぶ方向とは交わる方向に、無駄に接続部１６５を長くすることがない。その結果、配線長が長くなることを避けられる。

接続部１６５は、レジストなどの絶縁膜１６４で覆われていることが好ましい。例

例えば、第1及び第2の領域170、180にまたがって、接続部165上に絶縁膜164を設ける。特に、図19に示すように、配線基板160が屈曲するときには、少なくとも屈曲部分において、接続部165上を絶縁膜164が覆うことが好ましい。絶縁膜164は、ソルダレジスト材などで形成すれば良く、図16に示す領域よりも広く、第2ランド部184及び第1ランド部173を除く領域を覆っていてもよい。こうすることで、例えば導電性異物の付着による接続部165同士や配線パターン間のショートを防止することができる。

配線基板160には、第2の領域180に、1つ又は複数の穴（例えばスリット182）が形成されてもよい。第2の領域180の穴は、配線基板160を貫通する。穴の一方の開口には、第2ランド部184が位置する。複数の穴は、それぞれの第2ランド部184の位置ごとに形成されてもよい。この場合に、穴は導電材料で埋められてもよく、あるいは、穴の内面に導電材料が形成されてスルーホールを形成してもよい。このような穴を形成することで、第2ランド部184を、配線パターン162が形成された面とは反対側に電氣的に導通させることができる。

配線基板160に形成される穴は、スリット182であってもよい。スリット182は、細長く形成される。配線パターン162の一部がスリット182を幅方向にまたいで形成されることで、第2ランド部184がスリット182上に形成される。2つ以上の第2ランド部184が、1つのスリット182の上に形成されてもよい。例えば、図16に示すように、第2の領域180の一对の平行端部に並ぶ第2ランド部184の下に、各端部ごとの一群の第2ランド部184を一括して開口するスリット182が形成されてもよい。これによれば、スリット182を設けるだけで、第2ランド部184を配線基板160の両面の側に露出させることができる。なお、本実施の形態に示す配線基板160に形成された穴（スリット182）の形態は、上述の実施の形態において適用してもよい。

半導体装置は、配線基板160と、搭載領域181に搭載された半導体チップ190（第1の半導体チップ）と、を含む。半導体チップ190は、配線基板160の搭載領域181に搭載される。半導体チップ190は、配線基板160の配線パターン

162が形成された側に搭載される。

半導体チップ190は、フェースダウンボンディングによって、配線基板160に搭載されてもよい。半導体チップ190は接着剤193等で配線基板160に接着されてもよい。半導体チップ190の複数の電極192と第2ランド部184とが電氣的に接続されている。電極192と第2ランド部184との電氣的な接続には、導電性部材を使用したり、超音波や熱などによって材料を拡散させる方法を適用することができる。導電性部材として、ハンダ、異方性導電膜、異方性導電接着剤、導電ペースト又は導電性接着剤等を使用することができる。接着剤193に導電粒子を分散させて異方性導電膜を構成してもよい。導電性部材を使用した電氣的な接続の態様として、ハンダ付け等のロウ付けを例に挙げることができる。

半導体装置は、半導体チップ200（第2の半導体チップ）をさらに含む。第2の半導体チップ200は、配線基板160において、第1の半導体チップ190とは反対側に搭載される。第2の半導体チップ200は、第1の半導体チップ190と平面的に重なる位置に搭載される。図18に示すように、第2の半導体チップ200は、穴（例えばスリット182）を介して、第2ランド部184と電氣的に接続されてもよい。第2の半導体チップ200は、第2ランド部184におけるスリット182を向く面に電氣的に接続される。さらにこの場合、外部端子172から第1の半導体チップ190と、第2の半導体チップ200と、の共通電極を長さの等しい配線で結線することができるので、外部端子から見た両方の半導体チップからの配線の電氣的な特性を等しくすることができるという効果がある。

図18に示すように、第2の半導体チップ200は、フェースダウンボンディングによって、配線基板160に搭載されてもよい。第2の半導体チップ200は接着剤203等で配線基板160に接着されてもよい。第2の半導体チップ200の複数の電極202と第2ランド部184とが電氣的に接続されている。例えば、第2の半導体チップ200の電極202に、バンプ204が形成されて、バンプ204と第2ランド部184とがスリット184の内側で接続されてもよい。バンプ204は、ボンディングワイヤを溶融してボール状に形成するスタッドバンプ法によって、複数を積

み重ねて形成してもよい。なお、バンプ204と第2ランド部184との電氣的な接続は、第1の半導体チップ190において説明した内容を適用できる。

また、半導体チップ190、200をフェースアップで配線基板160にダイアタッチし、ワイヤーボンディングで実装する形態を適用しても良い。半導体チップ190、200の実装形態には、フェースアップとフェースダウン双方を混ぜてもよい。

半導体チップ190、200（第1及び第2の半導体チップ）は、互いに、配線基板160の境界面を中心としたミラー対称の回路構造を有してもよい。これによれば、同一素子に対して、同一の第2ランド部184と電氣的な接続を最短距離で図ることができる。例えば、半導体チップ190、200がメモリであるときに、同一の第2ランド部184を介して、それぞれのメモリの同じアドレスのメモリセルに、情報の読み出し又は書き込みを行うことができる。

なお、本実施の形態においても、半導体チップ190、200を、チップセレクト端子の接続においてのみ分離しておくことで、同一外部端子配列を用いて、複数（例えば2つ）の半導体チップ190、200を別々にコントロールしてもよい。

図19に示すように、半導体装置は、配線基板160が屈曲することで複数の半導体チップ190、200が積層されてなる。例えば、半導体チップ190における第2の領域180との接合面とは反対側の面と、第1の領域170と、が接着剤195等で接着されている。

図19に示す例では、配線基板160が屈曲して、搭載領域181の内側に複数の第1ランド部173（外部端子172）が配置されている。詳しくは、搭載領域181の内側に、第1の領域170の中央部に形成された複数の第1ランド部173が含まれるように、配線基板160を屈曲させて、第1及び第2の領域170、180を重ね合わせる。これによれば、第1ランド部173は、搭載領域181の内側に配置されるので、半導体チップ190、200とほぼ等しい大きさを有する半導体装置を提供できる。

本実施の形態によれば、第1及び第2ランド部173、184を接続する接続部165が、第2の領域180で第2ランド部184よりも中央側を通るので、第2ラン

ド部 184 よりも外側に配線基板 160 の面積を広げることを防ぐことができる。すなわち、スペースを有効に活用して接続部 165 を形成することができる。その結果、配線長が長くなることを避けられる。

本実施の形態に係る半導体装置の製造方法では、上述した配線基板 160 の搭載領域 181 に半導体チップ 190（第 1 の半導体チップ）を搭載する工程を含み、さらに、配線基板 160 における半導体チップ 190 と反対側に半導体チップ 200（第 2 の半導体チップ）を搭載する工程を含む。半導体チップ 200 は、配線基板 160 に形成された穴（例えばスリット 182）を介して、配線パターン 162 の第 2 ランド部 184 と電氣的に接続してもよい。さらに、配線基板 100 を屈曲させて、半導体チップ 190、200 を積み重ねてもよい。この場合に、搭載領域 181 の内側に複数の第 1 ランド部 173 を配置する。これによれば、半導体チップ 190、200 とほぼ等しい大きさを有する半導体装置を製造できる。

本実施の形態に関しては、第 1 及び第 2 の実施の形態で説明した内容が、可能な限り適用される。

本発明を適用した半導体装置を有する電子機器として、図 20 には、ノート型パーソナルコンピュータ 1000 が示されている。図 21 には、携帯電話 1100 が示されている。

なお、上記本発明の構成要件で「半導体チップ」を「電子素子」に置き換えて、半導体チップと同様に電子素子（能動素子か受動素子かを問わない）を、基板に実装して電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

請 求 の 範 囲

1. 第1の電子素子の搭載領域を有して上層配線パターンが形成された上層基板と、
前記上層基板が貼り付けられた第1の領域と、第2の電子素子の搭載領域を含む第2の領域と、下層配線パターンと、を含む下層基板と、
を含み、

前記下層配線パターンは、前記第1の領域の中央部に形成されて前記上層配線パターンと電氣的に接続される複数の下層第1ランド部と、前記第2の領域に形成されて前記第2の電子素子と電氣的に接続される複数の下層第2ランド部と、前記第1の領域で前記中央部よりも外側を通して前記下層第1ランド部及び下層第2ランド部を接続する複数の下層接続部と、を含む配線基板。

2. 請求項1記載の配線基板において、

前記上層配線パターンは、前記上層基板の中央部に形成されて前記下層第1ランド部と電氣的に接続される複数の上層第1ランド部と、前記第1の電子素子と電氣的に接続される複数の上層第2ランド部と、前記上層第1ランド部及び上層第2ランド部を接続する上層接続部と、を含む配線基板。

3. 請求項2記載の配線基板において、

前記下層基板は矩形をなし、

前記第1の領域と前記第2の領域とは並んで配置され、

前記第1の領域の一对の互いに平行な端部のうちの一方の端部と、前記第2の領域の一对の互いに平行な端部のうちの一方の端部と、が前記下層基板の一对の互いに平行な辺のうちの一方の辺に沿って配置され、

前記第1の領域の前記一对の互いに平行な端部のうちの他方の端部と、前記第2の領域の前記一对の互いに平行な端部のうちの他方の端部と、が前記下層基板の前記一对の互いに平行な辺のうちの他方の辺に沿って配置されてなる配線基板。

4. 請求項3記載の配線基板において、

前記下層第2ランド部は、前記第2の領域の前記一对の互いに平行な端部に形成さ

れてなり、

前記上層第2ランド部は、前記下層基板における前記第1の領域の前記一对の互いに平行な端部の上方で、前記上層基板の一对の互いに平行な端部に形成される配線基板。

5. 請求項4記載の配線基板において、

前記上層第2ランド部及び下層第2ランド部は、同じ配列パターンで形成され、それぞれの配列パターンにおいて同じ位置に形成された1つの前記上層第2ランド部及び1つの下層第2ランド部は、同じ1つの上層第1ランド部及び下層第1ランド部に電氣的に接続されてなる配線基板。

6. 請求項4記載の配線基板において、

前記下層基板における前記第1の領域の前記一对の互いに平行な端部には、前記上層配線パターン及び下層配線パターンと電氣的に絶縁されたダミーパターンが、前記下層配線パターンと同じ厚みで形成されてなる配線基板。

7. 請求項1から請求項6のいずれかに記載の配線基板において、

前記下層接続部の上には、少なくとも前記第1及び第2の領域にまたがる部分に絶縁膜が形成されてなる配線基板。

8. 請求項1から請求項6のいずれかに記載の配線基板において、

前記上層配線パターンは、前記上層基板の一方の面に形成され、

前記下層配線パターンは、前記下層基板の一方の面に形成され、

前記上層基板における前記上層配線パターンが形成された面とは反対側の面と、前記下層基板における前記下層配線パターンが形成された面と、が貼り付けられてなる配線基板。

9. 請求項8記載の配線基板において、

前記上層基板には、複数の貫通穴が形成されており、前記貫通穴を介して前記上層第1ランド部と前記下層第1ランド部とが電氣的に接続されてなる配線基板。

10. 請求項9記載の配線基板において、

前記上層第1ランド部は、前記貫通穴上に形成され、

前記貫通穴は、前記下層第1ランド部上に位置し、

前記貫通穴内に、前記上層第1ランド部及び下層第1ランド部に接触する導電材料が設けられてなる配線基板。

11. 請求項1から請求項6のいずれかに記載の配線基板において、

前記下層基板には、前記下層第1ランド部と電氣的に接続されて前記下層配線パターンが形成された面とは反対側に突出する複数の外部端子を形成するための複数の貫通穴が形成されてなる配線基板。

12. 請求項1から請求項6のいずれかに記載の配線基板において、

前記下層接続部は、前記第2の領域で前記下層第2ランド部よりも中央側を通る配線基板。

13. 請求項1から請求項6のいずれかに記載の配線基板において、

前記下層基板には、前記第2の領域に、前記下層第2ランド部を前記下層配線パターンが形成された面とは反対側に電氣的に導通させる少なくとも1つの穴が形成されてなる配線基板。

14. 請求項13記載の配線基板において、

前記穴は、スリットであり、

前記下層配線パターンの一部は、前記スリットをまたいで形成され、

前記下層第2ランド部は、前記スリット上に形成されてなる配線基板。

15. 隣り合った複数の搭載領域のそれぞれに電子素子が搭載される配線基板であって、

端部に位置する1つの搭載領域に形成された、外部との接続用の複数の第1ランド部と、

各搭載領域に形成された、各電子素子と電氣的に接続される複数の第2ランド部と、
隣同士の各搭載領域の前記第2ランド部同士を電氣的に接続する複数の接続部と、
を含み、

前記接続部は、前記第1ランド部が形成された前記搭載領域と、その隣の前記搭載領域との間では、前記第2ランド部よりも外側に形成され、

前記接続部は、前記第 1 ランド部から奇数番目の前記搭載領域と、前記第 1 ランド部から偶数番目の前記搭載領域との間では、前記第 2 ランド部よりも内側に形成されてなる配線基板。

16. 請求項 15 記載の配線基板において、

前記第 1 ランド部よりも外側に前記第 2 ランド部が形成されてなる配線基板。

17. 請求項 16 記載の配線基板において、

前記搭載領域は一方向に並び、

前記搭載領域の並ぶ方向に、前記第 2 ランド部が並んでなる配線基板。

18. 請求項 17 記載の配線基板において、

それぞれの搭載領域で、前記第 2 ランド部は同じ配列パターンで形成され、

隣同士の搭載領域で、搭載領域間の境界を中心とした線対称の位置に形成された一対の第 2 ランド部同士が電氣的に接続されてなる配線基板。

19. 請求項 15 から請求項 18 のいずれかに記載の配線基板において、

前記接続部の上には、少なくとも隣同士の前記搭載領域にまたがる部分に絶縁膜が形成されてなる配線基板。

20. 第 1 の領域と、前記第 1 の領域の隣に形成されて電子素子の搭載領域を含む第 2 の領域と、配線パターンと、

を含み、

前記配線パターンは、前記第 1 の領域に形成された複数の第 1 ランド部と、前記第 2 の領域に形成されて前記電子素子と電氣的に接続される複数の第 2 ランド部と、前記第 2 の領域で前記第 2 ランド部よりも中央側を通して前記第 1 及び第 2 ランド部を接続する複数の接続部と、を含む配線基板。

21. 請求項 20 記載の配線基板において、

矩形をなし、前記矩形の一対の平行辺は、前記第 1 及び第 2 の領域のそれぞれの一対の平行端部が連続して形成されてなる配線基板。

22. 請求項 20 記載の配線基板において、

前記第 2 ランド部は、前記第 1 の領域と連続する前記第 2 の領域の前記一対の平行

端部に形成されてなる配線基板。

23. 請求項20から請求項22のいずれかに記載の配線基板において、

前記第1の領域で、前記第1ランド部と電氣的に接続されて前記配線パターンが形成された面とは反対側に突出する外部端子を設けるための複数の貫通穴が形成されてなる配線基板。

24. 請求項20から請求項22のいずれかに記載の配線基板において、

前記接続部の上には、少なくとも前記第1及び第2の領域にまたがる部分に絶縁膜が形成されてなる配線基板。

25. 請求項20から請求項22のいずれかに記載の配線基板において、

前記第2の領域に、第2ランド部を前記配線パターンが形成された面とは反対側に電氣的に導通させる少なくとも1つの穴が形成されてなる配線基板。

26. 請求項25記載の配線基板において、

前記穴は、スリットであり、

前記配線パターンの一部は、前記スリットをまたいで形成され、

前記第2ランド部は、前記スリット上に形成されてなる配線基板。

27. 請求項13記載の配線基板と、

前記上層基板の前記搭載領域に搭載された第1の半導体チップと、

前記下層基板の前記搭載領域に搭載された第2の半導体チップと、

を含む半導体装置。

28. 請求項27記載の半導体装置において、

前記下層基板で、前記第2の半導体チップが搭載された面とは反対側に、前記穴を介して前記下層第2ランド部と電氣的に接続して搭載されてなる第3の半導体チップをさらに含む半導体装置。

29. 請求項28記載の半導体装置において、

前記第2及び第3の半導体チップは、互いに、前記下層基板の境界面を中心としたミラー対称の回路構造を有する半導体装置。

30. 請求項27記載の半導体装置において、

前記下層基板が屈曲して、それぞれの半導体チップが積層されてなる半導体装置。

31. 請求項15から請求項18のいずれかに記載の配線基板と、

それぞれの前記搭載領域に搭載された半導体チップと、

を含む半導体装置。

32. 請求項31記載の半導体装置において、

前記配線基板が屈曲して、それぞれの前記搭載領域に搭載された前記半導体チップが積み重なった状態となっている半導体装置。

33. 請求項25記載の配線基板と、

前記搭載領域に搭載された第1の半導体チップと、

を含む半導体装置。

34. 請求項33記載の半導体装置において、

前記配線基板の前記第1の半導体チップが搭載された面とは反対側に、前記穴を介して前記第2ランド部と電氣的に接続して搭載されてなる第2の半導体チップをさらに含む半導体装置。

35. 請求項34記載の半導体装置において、

前記第1及び第2の半導体チップは、互いに、前記配線基板の境界面を中心としたミラー対称の回路構造を有する半導体装置。

36. 請求項33記載の半導体装置において、

前記配線基板が屈曲して、前記搭載領域の内側に前記第1ランド部が配置されてなる半導体装置。

37. 請求項27記載の半導体装置が搭載された回路基板。

38. 請求項27記載の半導体装置を備える電子機器。

39. 請求項13記載の配線基板の、前記上層基板の前記搭載領域に第1の半導体チップを搭載し、前記下層基板の前記搭載領域に第2の半導体チップを搭載する工程を含む半導体装置の製造方法。

40. 請求項39記載の半導体装置において、

前記下層基板で、前記第2の半導体チップが搭載された面とは反対側に、前記穴を

介して前記下層第 2 ランド部と電氣的に接続させて、第 3 の半導体チップを搭載する工程をさらに含む半導体装置の製造方法。

4 1. 請求項 4 0 記載の半導体装置の製造方法において、

前記第 2 及び第 3 の半導体チップは、互いに、前記下層基板の境界面を中心としたミラー対称の回路構造を有する半導体装置の製造方法。

4 2. 請求項 3 9 記載の半導体装置の製造方法において、

前記下層基板を屈曲させて、それぞれの半導体チップを積層する半導体装置の製造方法。

4 3. 請求項 1 5 から請求項 1 8 のいずれかに記載の配線基板の、それぞれの前記搭載領域に半導体チップを搭載する工程を含む半導体装置の製造方法。

4 4. 請求項 4 3 記載の半導体装置の製造方法において、

前記配線基板を屈曲させて、それぞれの前記搭載領域に搭載された前記半導体チップを積み重ねる半導体装置の製造方法。

4 5. 請求項 2 5 記載の配線基板の前記搭載領域に第 1 の半導体チップを搭載する工程を含む半導体装置の製造方法。

4 6. 請求項 4 5 記載の半導体装置の製造方法において、

前記配線基板の前記第 1 の半導体チップが搭載された面とは反対側に、前記穴を介して前記第 2 ランド部と電氣的に接続させて、第 2 の半導体チップを搭載する工程をさらに含む半導体装置の製造方法。

4 7. 請求項 4 5 記載の半導体装置の製造方法において、

前記第 1 及び第 2 の半導体チップは、互いに、前記配線基板の境界面を中心としたミラー対称の回路構造を有する半導体装置の製造方法。

4 8. 請求項 4 5 記載の半導体装置の製造方法において、

前記配線基板を屈曲させて、前記搭載領域の内側に前記第 1 ランド部を配置する工程をさらに含む半導体装置の製造方法。

1/13

FIG. 1

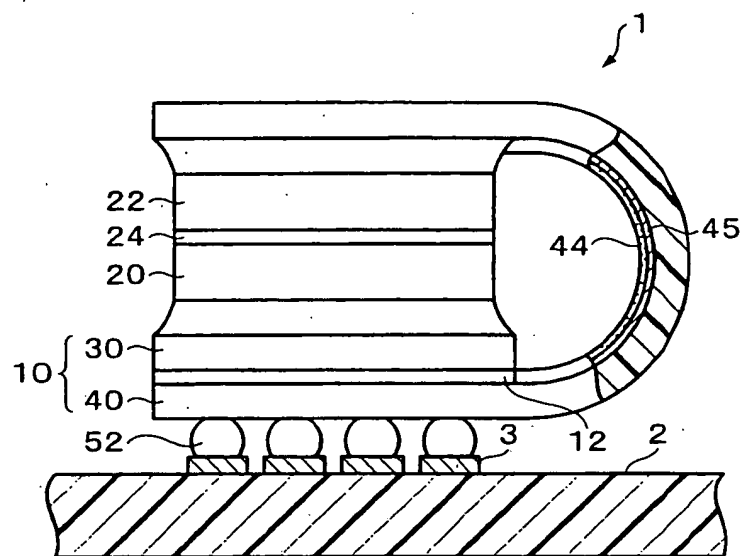
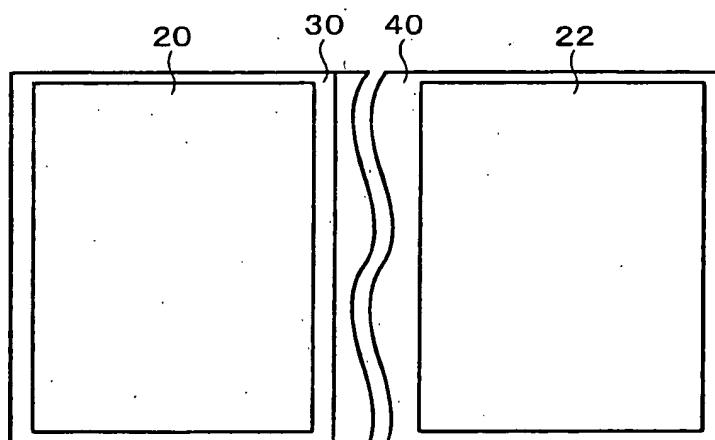
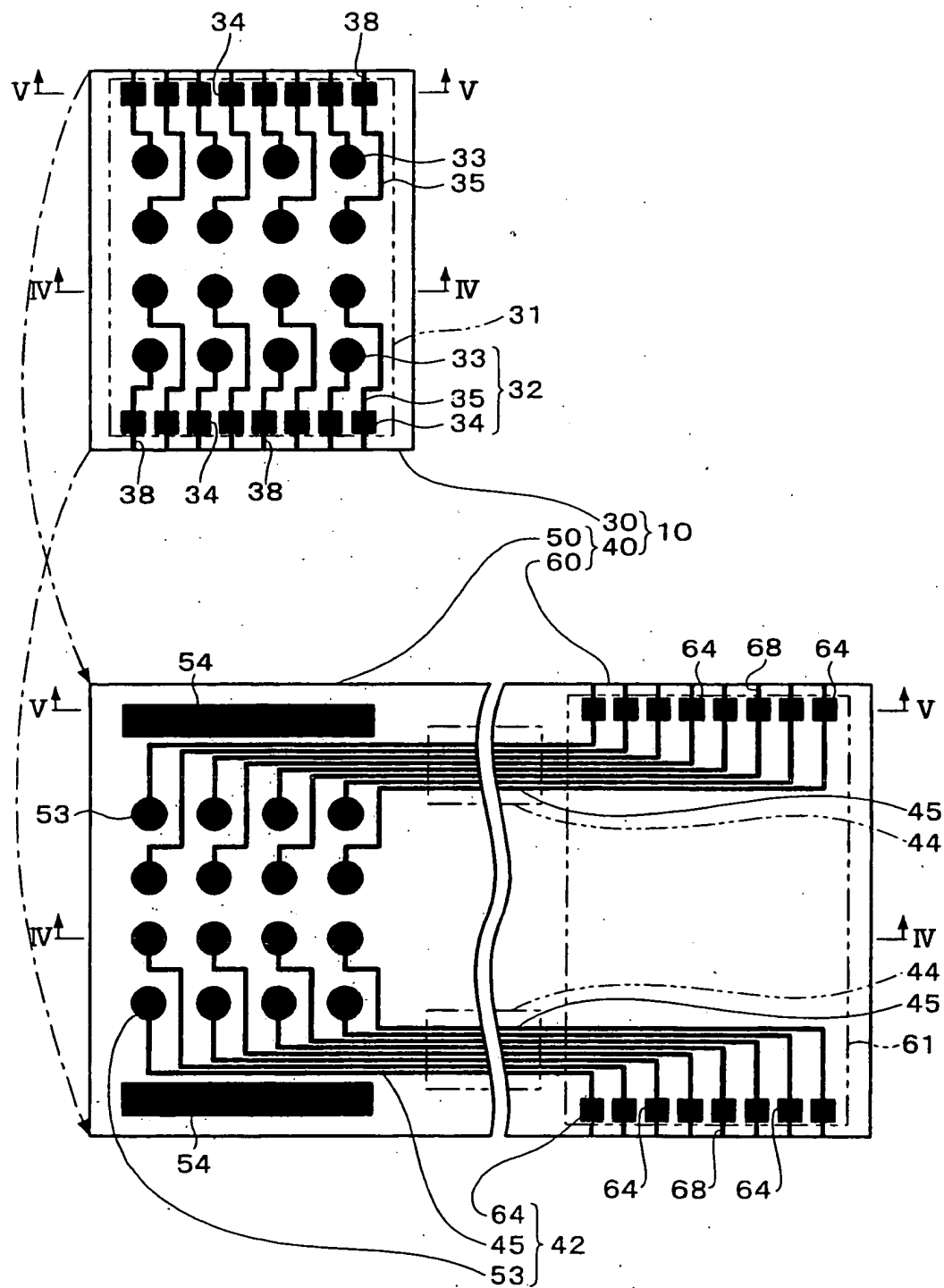


FIG. 2



2/13

FIG. 3



3/13

FIG. 4

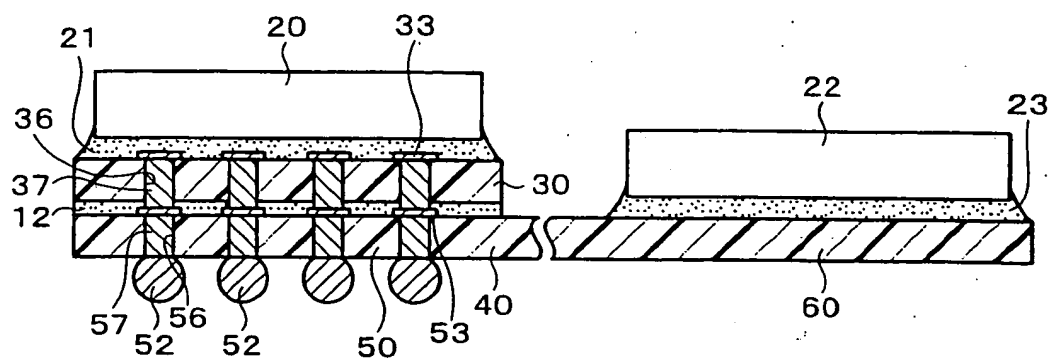
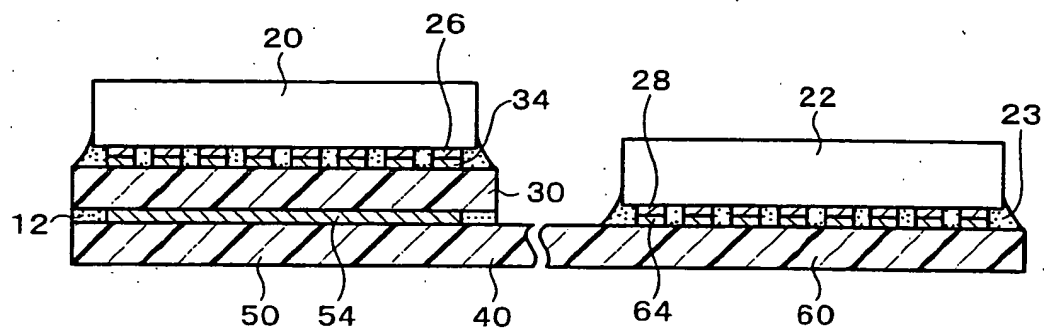
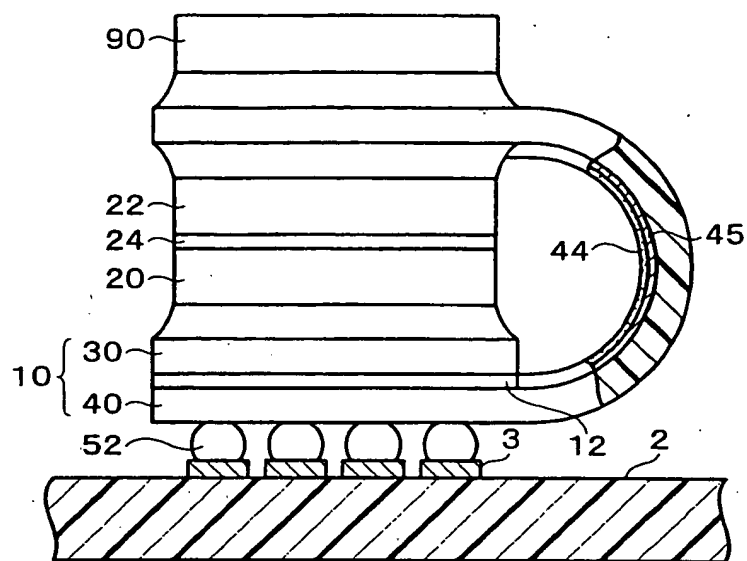


FIG. 5



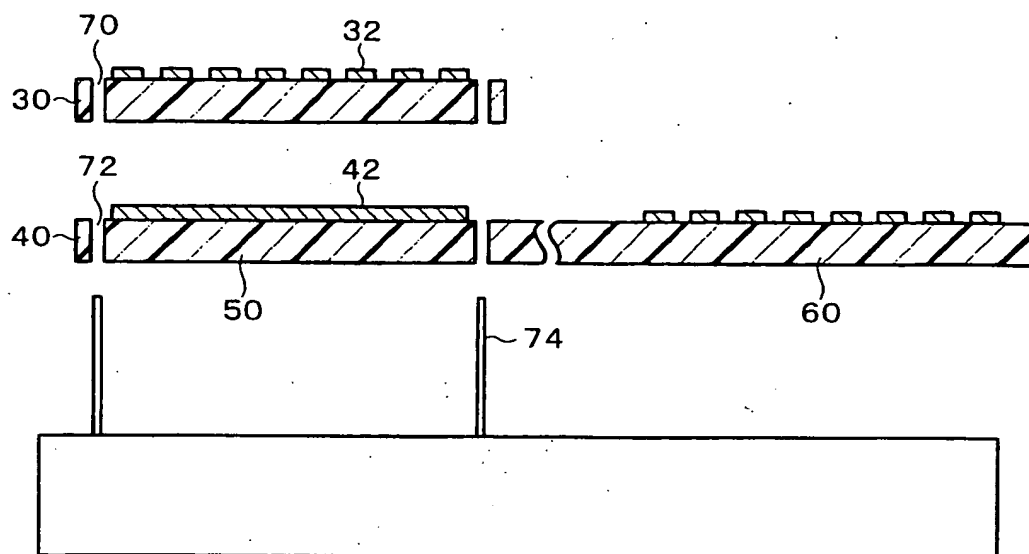
4/13

FIG. 6



5/13

FIG. 7



6/13

FIG. 8

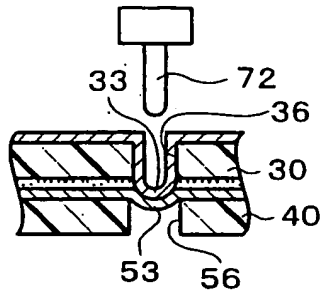


FIG. 9

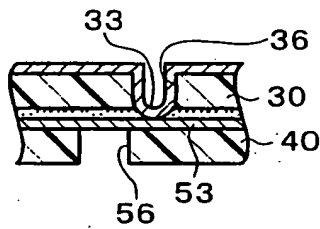


FIG. 10

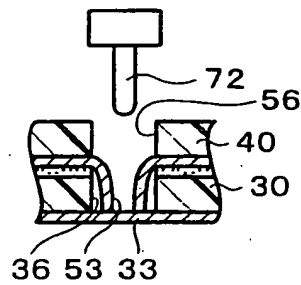
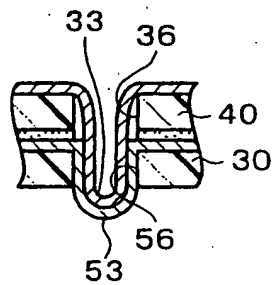


FIG. 11



7/13

FIG. 12

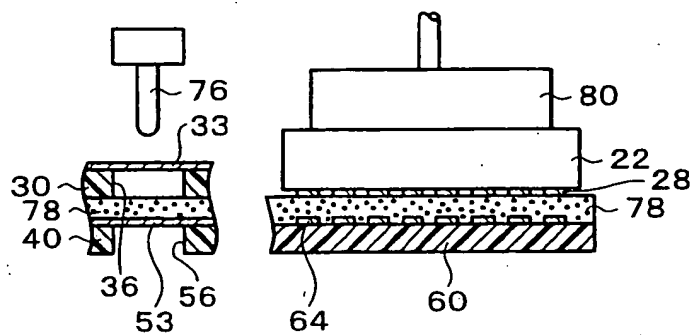
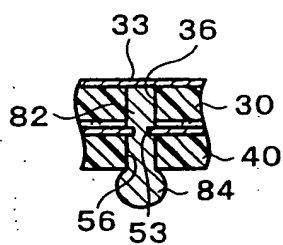
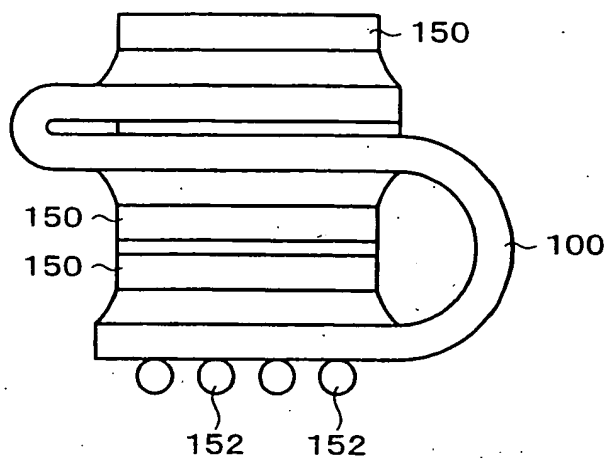


FIG. 13



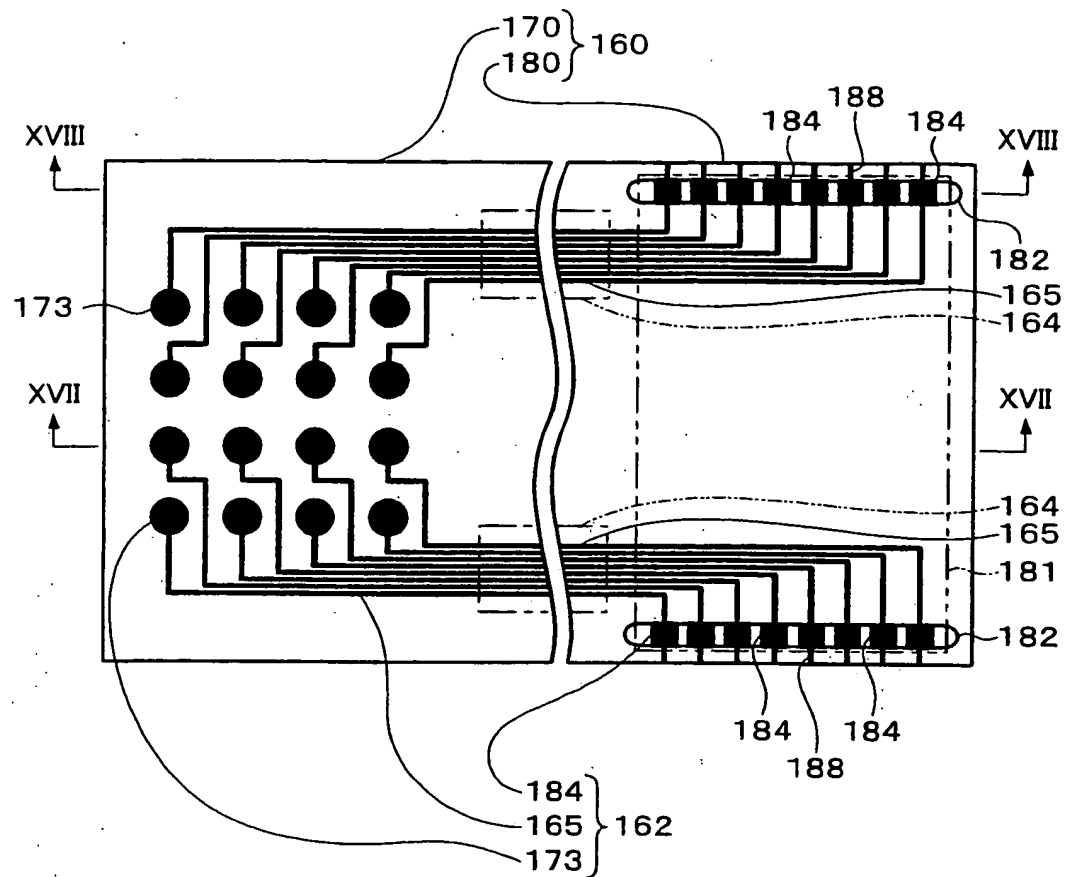
9/13

FIG. 15



10/13

FIG. 16



11/13

FIG. 17

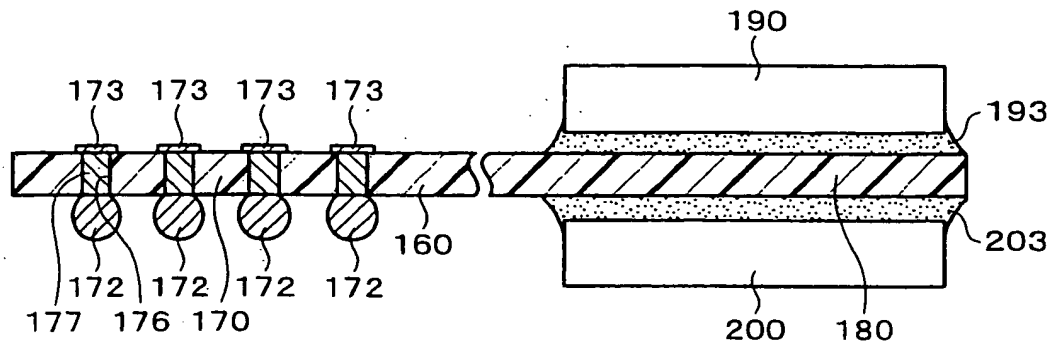
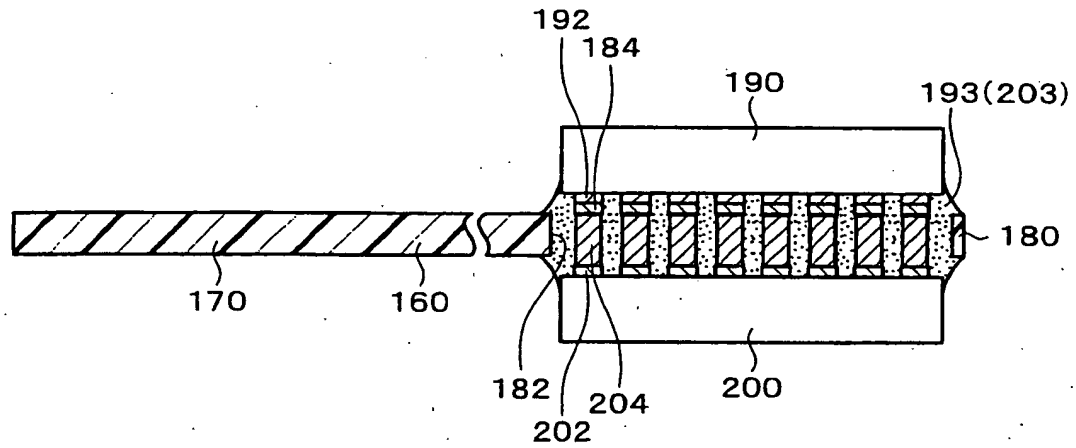


FIG. 18



12/13

FIG. 19

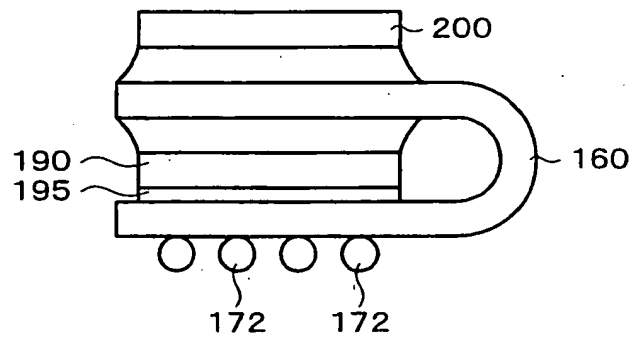
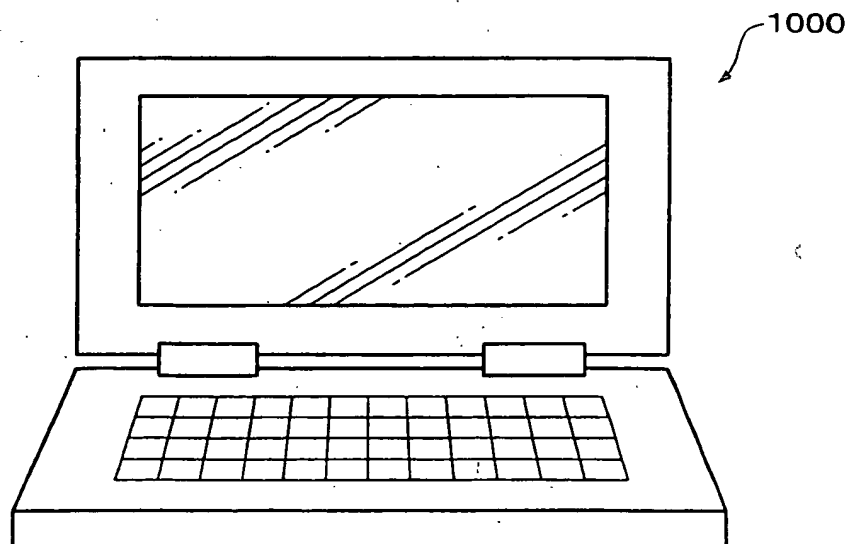
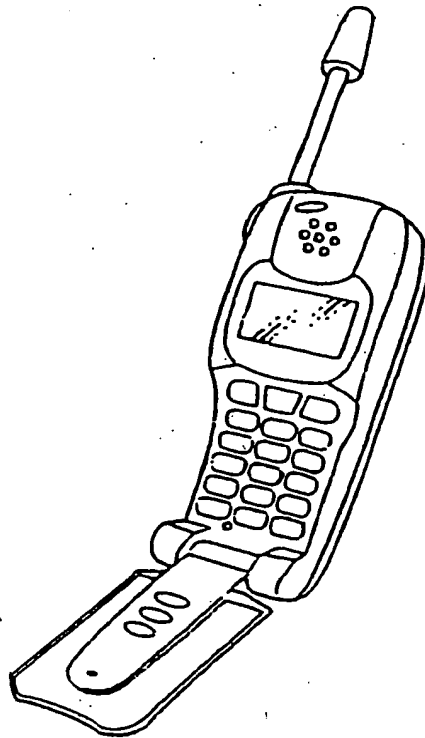


FIG. 20



13/13

FIG. 21



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05394

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L25/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L25/00Int.Cl⁷ H01L23/12Int.Cl⁷ H05K 1/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000

Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No.85985/1989 (Laid-open No.25255/1991) (NEC Corporation), 15 March, 1991 (15.03.91), Fig. 1 (Family: none)	1-29,31,33-41, 43,45-47 30,32,42,44,48
X A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No.169701/1986 (Laid-open No.75069/1988) (NEC Corporation), 19 May, 1988 (19.05.88), Fig. 1 (Family: none)	1-29,31,33-41, 43,45-47 30,32,42,44,48
A	JP, 3-283485, A (NEC Corporation), 13 December, 1991 (13.12.91), Fig. 1 (Family: none)	1-48
EA	JP, 11-135715, A (Nitto Denko Corporation), 21 May, 1999 (21.05.99), Fig. 2 (Family: none)	1-48

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 November, 2000 (07.11.00)Date of mailing of the international search report
14 November, 2000 (14.11.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L25/04

B. 調査を行った分野
調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L25/00
Int. Cl⁷ H01L23/12
Int. Cl⁷ H05K 1/14

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2000年
日本国登録実用新案公報 1994-2000年
日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	日本国実用新案登録出願1-85985号 (日本国実用新案登録出願公開3-25255号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (日本電気株式会社), 15. 3月. 1991 (15. 03. 91), 第1図 (ファミリーなし)	1-29, 31, 33-41, 43, 45-47 30, 32, 42, 44, 48
X A	日本国実用新案登録出願61-169701号 (日本国実用新案登録出願公開63-75069号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (日本電気株式会社), 19. 5月. 1988 (19. 05. 88), 第1図 (ファミリーなし)	1-29, 31, 33-41, 43, 45-47 30, 32, 42, 44, 48

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日 07. 11. 00

国際調査報告の発送日 14.11.00

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
守安 太郎 印

4R 9347

電話番号 03-3581-1101 内線 6758

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 3-283485, A (日本電気株式会社), 13. 12月. 1991 (13. 12. 91), 第1図 (ファミリーなし)	1-48
EA	J P, 11-135715, A (日東電工株式会社), 21. 5月. 1999 (21. 05. 99), 第2図 (ファミリーなし)	1-48